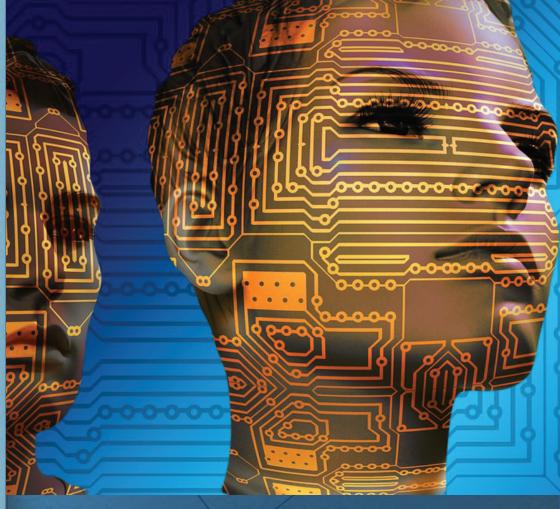


Jhonny Novillo Vicuña, Dixys Hernández Rojas



Universidad Técnica de Machala

Fundamentos de los Sistemas Microprocesados II



Ing. César Quezada Abad, MBA **RECTOR**

Ing. Amarilis Borja Herrera, Mg. Sc. **Vicerrectora Académica**

Soc. Ramiro Ordóñez Morejón, Mg. Sc. **VICERRECTOR ADMINISTRATIVO**

COORDINACIÓN EDITORIAL VICERRECTORADO ACADÉMICO

Tomás Fontaines-Ruiz, PhD.

Investigador Becario Prometeo-Utmach
Asesor Del Programa De Reingeniería

Ing. Karina Lozano Zambrano
COORDINADORA EDITORIAL

Ing. Jorge Maza Córdova, Ms. Ing. Cyndi Aguilar **EQUIPO DE PUBLICACIONES**

Fundamentos de los Sistemas Microprocesados II

Johnny Novillo Vicuña Dixys Hernández Rojas

Dedicatoria

A nuestras familias, quienes son nuestra inspiración y fortaleza de todos los días, y a nuestros queridos estudiantes, compañeros permanentes en nuestro aprendizaje.

Los autores

Agradecimiento

A Karina y sus compañeros del Octavo Semestre, Paralelo A, de la Carrera de Ingeniería de Sistemas de la Universidad Técnica de Machala, por su valioso aporte para el desarrollo del presente libro. Los autores

Primera edición 2015

ISBN Obra completa: 978-9978-316-99-3

ISBN: 978-9942-24-006-4

D.R. © 2015, UNIVERSIDAD TÉCNICA DE MACHALA Ediciones UTMACH Km. 5 1/2 Vía Machala Pasaje www.utmachala.edu.ec

ESTE TEXTO HA SIDO SOMETIDO A UN PROCESO DE EVALUACIÓN POR PARES EXTERNOS CON BASE EN LA NORMATIVA EDITORIAL DE LA UTMACH.

Portada:

Concepto editorial

Samanta Cabezas (EST. COMUNICACIÓN SOCIAL) Fotografía: Dir. de Comunicación UTMACH

Diseño, montaje y producción editorial: UTMACH

Impreso y hecho en Ecuador Printed and made in Ecuador

Advertencia: "Se prohíbe la reproducción, el registro o la transmisión parcial o total de esta obra por cualquier sistema de recuperación de información, sea mecánico, fotoquímico, electrónico, magnético, electroóptico, por fotocopia o cualquier otro, existente o por existir, sin el permiso previo por escrito del titular de los derechos correspondientes".

Índice

Introducción	15
Conexión de memorias al microprocesador	17
Criterios para selección de memorias	18
	21
Conexión de la memoria de datos	25
Conexión completa de memorias en un sistema microprocesado	
	29
El microprocesador 8085	35
Caracterización interna del microprocesador 8085	36
Arquitectura	36
Registros	38
Unidad Aritmética Lógica	39
Unidad de control de Señales	41
Control de Interrupciones	42
Control de Entrada/salida serie	43
Descripción de pines	44
Introducción a la programación del microprocesador 8085	46
Ciclos de máquina	48
Operación búsqueda de código de operación (opcode fetch)	48
Operación de ciclo lectura de memoria	49
Operación de ciclo escritura de memoria	50
Modos de direccionamientoa	51

Direccionamiento implicado	51
Direccionamiento de registro	51
Direccionamiento inmediato	52
Direccionamiento directo	52
Direccionamiento indirecto de registro	53
Repertorio de instrucciones del microprocesador 8085	53
MOV r1, r2 (Transfiere registro)	59
MOV r, M (Transfiere de memoria)	60
MOV M, r (Transfiere a memoria)	60
MVI r, dato (Transferencia inmediata)	61
MVI M, dato (Transfiere a memoria inmediata)	61
LXI rp, dato 16 (Carga registro par inmediato)	61
LDA addr (Carga acumulador directo)	62
STA addr (Almacena acumulador directo)	62
LHLD addr (Carga H y L directo)	63
SHLD addr (Almacena H y L directo)	63
LDAX rp (Carga indirecto el acumulador	64
STAX rp (Almacena indirecto el acumulador)	64
XCHG (Intercambia H y L con D y E)	65
Grupo aritmético	65
ADD r, (Suma Registros)	70
ADD m, (Suma Memoria)	70
ADI dato, (Suma Inmediata)	70
ADC r, (Suma Registro con arrastre)	71
ADC m, (Suma memoria con arrastre)	71
ACI dato, (Suma inmediata con arrastre)	72
SUB r, (Resta Registros))	72
SUB m, (Resta Memoria)	72
SUI dato, (Resta Inmediata)	73
SBB r, (Registro con préstamo)	73
SBB m, (Resta memoria con préstamo)	74
INR r, (Incrementa Registro)	74
INR M, (Incrementa Memoria)	75
DCR r, (Decrementar Registro)	75
DCR m, (Decrementa memoria)	75
INX rp, (Incrementa registro par))	76

DCX rp, (Decrementa registro par)	76
DAD rp, (Suma registro par a H y L)	77
DAA (Ajuste decimal acumulador)	77
Grupo lógico	78
ANA r (AND registro)	81
ANA M (AND Memoria)	82
ANI dato (AND Inmediato)	82
ORA r (OR registro)	83
ORA M (OR Memoria)	83
ORI dato (OR Inmediato)	84
XRA r (OR Exclusiva registro)	84
XRA M (OR Exclusiva memoria)	85
XRI Dato (OR Exclusiva inmediata)	85
CMP r (Compara registro)	86
CPI Dato (Comparación inmediata)	86
CMP M (Compara memoria)	87
RLC (Desplazamiento circular a la izquierda)	87
RRC (Desplazamiento circular a la derecha)	88
RAL (Desplazamiento circular a la izquierda a través de la	
arrastre)	88
RAR (Desplazamiento circular a la derecha a través de la arras	stre)
	89
CMA (Complementa el Acumulador)	89
STC (Pone a 1 el arrastre)	89
CMC (Complementa arrastre)	90
Grupo de bifurcación	90
JMP addr (Salto)	93
JCondition addr (Salto condicional))	93
CALL addr (Llamada)	94
Ccondition addr (Llamada condicional)	95
RET (Vuelta)	96
RCondition (Vuelta condicional)	96
RST n (Rearrancar)	97
PCHL n (Salta indirecto H y L – transfiere H y L a PC)	97
Grupo de pila, E/S y control máquina	106
PUSH rp, dato (Introducir)	108

PUSH PSW	109
POP rp, dato (Sacar)	109
POP PSW	110
XTHL (Intercambiar tope de la pila con H y L)	111
SPHL (Transferir HL a SP)	111
IN puerto (Entrar)	112
OUT puerto (Salir)	112
EI (Habilita interrupciones)	113
DI (Inhabilita interrupciones)	113
HLT (Alto)	114
NOP (No operación)	114
RIM	115
SIM	115
Glosario	119
Anexos	123
A - 2 - 12	405
Apéndices	127
Bibliografia	133
Índices de cuadros, gráficas, imágenes y fotografías	135
Índice de cuadros	135
Índice de gráficas	
3	
Biografia	137
ϵ	

Introducción

Éste segundo Tomo, de la colección Fundamentos de los Sistemas Microprocesados, constituye una fuente de información importante para quienes desean aprender cómo conexionar memorias a un microprocesador, así como también, cómo desarrollar un programa en lenguaje ensamblador, para que un microprocesador ejecute las instrucciones necesarias para implementar un sistema microprocesado específico.

A continuación se detalla el contenido del presente Tomo:

- Capítulo I Conexión de memorias al microprocesador: Comprende 4 temáticas: criterios de selección de memorias, conexión de la memoria de programa y de datos, finalizando con la presentación de las mismas, en una conexión completa en un sistema microprocesado.
- CAPÍTULO II El microprocesador 8085: Estructurado en 4 temáticas enfocadas al estudio del microprocesador 8085; abarcando su caracterización interna, introducción a la programación, repertorio de instrucciones y aplicaciones de programación. Si bien es cierto que el contenido de éste capítulo está enfocado al estudio respecto al hardware y software del microprocesador 8085, esto no le resta actualidad al libro, ya que para incursionar en el estudio de un microprocesador de última tecnología, se requiere conocer los fundamentos de operación que tuvieron los microprocesadores iniciales.

Conforme realice la lectura se encontrará con símbolos que le ayudarán a entender mejor el tema, evaluar sus conocimientos y reforzar lo aprendido mediante fuentes alternas para complementar ciertos temas. Entre los símbolos establecidos se encuentran:

Sabías que...



Presenta un enfoque que los autores realizan sobre una temática relacionada al tema central o sobre algún dato curioso propicio en el contenido.

Resuelve



Preguntas de reflexión que le ayudarán a reforzar su conocimiento del tema.

Bibliografía y Fuentes Electrónicas



Bibliografía y fuentes electrónicas que le ayudarán a complementar el tema tratado.

Ejemplo

Enunciado de ejemplo práctico sobre la temática correspondiente.

Solución

La solución del ejercicio que se ha enunciado en Ejemplo.

Ejercicios Propuestos

Problemas planteados con la finalidad de desarrollar la independencia cognoscitiva del lector, respecto del tema tratado.

Conexión de memorias al microprocesador

Objetivos

- Determinar los criterios más relevantes para la selección de memorias a utilizarse en un sistema microprocesado específico.
- Analizar las principales características de la EPROM 27256, a través del estudio de las señales que la componen, para realizar la conexión de ésta memoria de programa con el microprocesador.
- Analizar las principales características de la SRAM 6116, a través del estudio de las señales que la componen, para realizar la conexión de ésta memoria de datos con el microprocesador.
- Realizar la conexión completa de la memoria de programa y de datos con un microprocesador analizando adecuadamente sus señales.

Introducción

El presente Capítulo se enfoca en la enseñanza del proceso de identificación de las memorias que son compatibles con un microprocesador, de acuerdo a su capacidad de memoria direccionable, el voltaje de alimentación que necesita para funcionar y el número de bits de datos y de direcciones que poseen.

El microprocesador deberá tener una conexión con dos tipos de memoria, la memoria de datos y la memoria de programa. Cabe advertir que además se suelen requerir otros chips, ya sea para decodificar señales, o en el caso de que el microprocesador que se esté usando tenga un bus de datos multiplexado, se demandará de un cerrojo, que permita identificar cuáles bits del microprocesador son de datos y cuáles de direcciones.

Se tomarán como referencia para la interconexión completa de un sistema microprocesado, los chips de memoria SRAM 6116, EPROM 27256 y el microprocesador de Intel 8085; además de los chips 74374 (LATCH) y 74138 (decodificador).

Los diagramas y esquemas que se presentan, fueron elaborados en un programa de versión gratuita, el Light Edition EAGLE versión 7.5.0

Criterios para selección de memorias

El microprocesador y los chips de memoria son elementos primordiales en la construcción de sistemas microprocesados, razón por la cual, es importante definir criterios de selección que garanticen la compatibilidad de los mismos con el microprocesador que se vaya a utilizar. A continuación se establecen algunos de los criterios más importantes:

• Pines del bus de direcciones: Son aquellos que sirven para conocer la posición de un dato. Son unidireccionales y permiten acceder al bus de direcciones para leer alguna ruta específica.

El tipo de señales que se transmite por estos pines, suele ser solo direcciones, pero en algunos microprocesadores están multiplexadas, es decir, que las señales podrán ser tanto de direcciones como de datos y en esos casos tocará utilizar un chip especial conocido como "cerrojo o LATCH" para que identifique durante la comunicación con otros chips si se trata de un dato o de una dirección.

- Pines del bus de datos: Son aquellos que se utilizan para la entrada o salida de datos en las memorias, por ende son bidireccionables. Estos además se usan para saber el ancho de palabra que soporta un chip.
- Voltaje de alimentación: En un sistema microprocesado se utiliza normalmente, el mismo voltaje para alimentar a toda la placa de circuitos integrados; por eso es recomendable utilizar memorias que se alimenten con igual voltaje que el microprocesador.

• Mapa de memoria: Indica cómo van a estar ubicadas cada una de las memorias (RAM O ROM) y zonas libres dentro del espacio de direcciones del sistema microprocesado. Este espacio no es otra cosa que la capacidad de memoria direccionable

```
CMD= 2<sup>m</sup> x n

Donde,

m = número de bits de direcciones

n = número de bits de datos
```

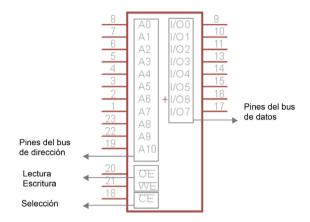
Existen otros criterios menos importantes, que se recomiendan tener presentes, ya que podrían influir en el diseño y construcción de un sistema microprocesado. Entre ellos están:

- Señales de selección: Toda memoria tiene una entrada de selección para ser habilitada, que suele ser identificada con las siguientes denominaciones para la RAM: **CS** (chip select), **S** (select), y **CE** (chip enable), y para la ROM se suele encontrar con esta misma nomenclatura o con la letra **E**. Estas entradas se activan por lo general cuando se les envía un cero lógico para las tareas de lectura o escritura de datos.
- Señales de Control: En la RAM las señales de control se las puede encontrar con las siguientes denominaciones: **OE** (output enable) o **G**, y su tarea es transmitir los datos desde las terminales de salida siempre y cuando estén activas. En cambio, la señal que se utiliza para la escritura de datos se representa con las siglas **WE** (writer enable).

En la ROM solo se suele encontrar la señal \mathbf{OE} debido a que la señal para escritura se encuentra representada por las siglas \mathbf{P} (program) y \mathbf{Vpp} , que actúan en conjunto para grabar un dato de manera permanente en la memoria.

En la Figura 1, se presenta un esquema general de un chip de memoria RAM, indicando los pines del bus de direcciones, pines del bus de datos, señales de selección, y señales de control de escritura y lectura.

Figura 1. Terminales de un chip de memoria RAM



Las memorias que se conectan con el microprocesador para la implementación de un sistema microprocesado, pueden ser:

- 1) Memoria de programa: guarda de manera permanente la información. Por ejemplo, la memoria PROM, EPROM, EEPROM. Este tipo de chips se fabrican con capacidades de orden de Kilobytes o Megabytes en múltiplos de 8. Por ejemplo: 2kx8, 8kx8, 16kx8, 32kx8, etc.
- 2) Memoria de datos: almacena la información de manera temporal. Ejemplo, la memoria SRAM, DRAM.

Sabías que...



Los pines de dirección (A0, A1, A2,....An) son importantes en un microprocesador o memoria, pues de acuerdo a la cantidad que exista de ellos, se puede determinar la capacidad de memoria direccionable en KB. Ver Tabla 1.

Cantidad de pines de dirección	Capacidad de localidades
10 pines (A0 - A9)	1 K
11 pines (A0 - A10)	2 K
12 pines (A0 - A11)	4K
13 pines (A0 - A12)	8K
14 pines (A0 - A12)	16K
15 pines (A0 - A12)	32K
16 pines (A0 - A12)	64K



- 1. ¿Pueden separarse los criterios de selección de memoria de acuerdo al tipo (RAM o ROM)?
- 2. ¿Existe otra manera de indicar que las señales de memoria (E, P, OE, etc.) se activan con un cero lógico aparte de resaltarlas en negrita? ;Cuáles?
- 3. ¿Por qué la ROM no cuenta con la señal WR?
- 4. ¿Qué función cumple un LATCH dentro de un sistema microprocesado?
- 5. ¿Cuál sería la capacidad en KB, de una memoria de 18 pines de dirección?

Bibliografía y Fuentes Electrónicas



- Benítez, C. (Febrero de 2010). El microprocesador 8085. Microprocesadores, 17. Obtenido de http://issuu.com/microprocesadores/docs/8085___1_
- Electronic Components Datasheet Search. (2015). ALLDATASHEET. COM. Obtenido de http://www.alldatasheet.com/
- Massachusetts Institute of Technology. (2015). mit.com. Obtenido de web.mit.edu/6.115/www/document/6116.pdf

Conexión de la memoria de programa

La memoria de programa se utiliza para almacenar las instrucciones y datos de manera permanente en un sistema microprocesado. A continuación se detallará cómo conexionar la EPROM 27256 con capacidad de 64Kb (8k x 8), con un microprocesador Intel 8085.

Memoria EPROM 27256

El circuito integrado 27256 es un tipo de memoria eléctricamente programable de solo lectura, que dispone de un bus de datos o ancho de palabra de 8 bits. Se considera una memoria de alta velocidad con tiempos de acceso de 90ns, diseñada con la tecnología CMOS. Trabaja con una fuente de +5.0 Voltios y está comprimida en una pastilla de 28 pines.

Por lo expuesto, se considera a la memoria 27256 compatible para la conexión con el microprocesador 8085. A continuación se detalla la información necesaria para conocer cómo están distribuidas las señales de datos, dirección, selección y control entre los pines del dispositivo.

Memoria EPROM 27256 00 01 02 03 04 A2 A12 A13 Œ Œ EPROM 27256 Pines Descripción De A0 hasta A14 Bus de direcciones De D0 0 hasta D7 Bus de datos GND Terminal de masa o tierra Vcc Terminal de alimentación (+5V) aaV Entrada de programación CE Chip de selección del componente OF Entrada de lectura

Tabla 2. Diagrama de pines de la memoria EPROM 27256

Una vez conocida la distribución de las señales de control y selección, dentro de la memoria 27256, se deben conocer los chips adicionales que se necesitarán para poder comunicarla con el microprocesador 8085. Estos chips son:

74374, conocido también como LATCH o cerrojo, actúa como un traductor de señales que indica a la memoria RAM o ROM si se trata de un dato o de una dirección.

Este chip es necesario cuando se utiliza un microprocesador con el bus de datos/dirección multiplexado. Ver Apéndice A.

74138, actúa como decodificador de señales del microprocesador. La función que cumple es seleccionar, mediante sus salidas, cualquier componente que el microprocesador requiera. Ver Apéndice B.

Cabe recalcar que la información sobre el diseño de un decodificador de direcciones, para un determinado sistema microprocesado, se puede encontrar en el Capítulo 2 del Tomo I, de la presente colección "Fundamentos de los Sistemas Microprocesados".

Ejemplo 1-1

Realizar un diagrama de conexión de la memoria de programa EPROM 27256 con el microprocesador 8085.

La conexión de la memoria de programa EPROM 27256 con el microprocesador 8085, requerirá adicionalmente de los circuitos integrados 74374 y 74138.

Soloución

A continuación se describen las conexiones de los diferentes pines de la memoria EPROM 27256, con cada uno de los dispositivos necesarios para el desarrollo de la interface.

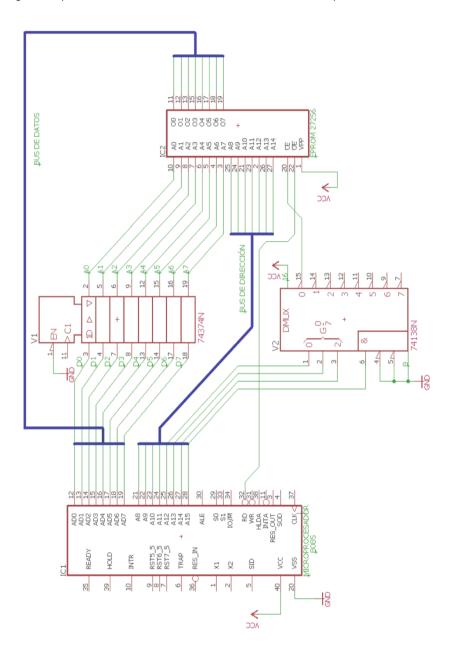
- Conectar las líneas de dirección de A0 hasta A7, con las salidas correspondientes de A0 hasta A7 del 74374.
- Conectar las líneas de dirección de A8 hasta A14, con las líneas correspondientes de A8 hasta A14 del microprocesador.
- Conectar las líneas de datos de O0 hasta O7, con las líneas correspondientes de AD0 hasta AD7 del microprocesador.
- Conectar el pin Vcc a una fuente de alimentación de +5V y el pin de GND a tierra.
- Conectar el pin Vpp a una fuente de alimentación de +5V o puentearlo con la señal Vcc que se alimenta del mismo voltaje.
- Conectar **CE** con la salida correspondiente del decodificador 74138.
 - Conectar **OE** con la salida **RD** del microprocesador.

Al realizar el proceso de conexión se debe tener la precaución de conectar de forma adecuada los buses de dirección y de datos de la EPROM, con los correspondientes de los dispositivos complementarios, pues de no ser así, se podrían obtener resultados no esperados.

En la Figura 2., se presenta el correspondiente diagrama de conexión: las líneas verdes representan los hilos de conexión y las líneas azules, los buses de datos y direcciones.

Como se puede apreciar, los buses pueden abarcar varios hilos de conexión comunicando varios dispositivos al mismo tiempo.

Figura 2. Esquema de conexión de la memoria EPROM 27256 con el microprocesador 8085



Sabías que...



Los modos de programar una memoria ROM varían de acuerdo al tipo de integrado que se esté escogiendo. En muchos casos este ocupa dos entradas de diferente nominación de voltaje, una para que en él, pueda programarse determinado conjunto de datos, y otra para alimentar las demás señales. Por ello es preciso que se consulte la hoja de especificaciones o datasheet del integrado que se usará.

Las variantes se encuentran básicamente en el estado alto (recibe 1 lógico) o bajo (recibe 0 lógico) que deben mantener las señales de control y selección durante el proceso de programación de la ROM, pues se puede presentar el caso de que mientras la señal Vcc reciba +5 V, la Vpp reciba +12 V, y al mismo tiempo se requiera que la señal CE necesite estar en bajo y la OE en alto.

Preguntas de reflexión



- 1. ¿Qué señal de la memoria de programa debe ir conectada al decodificador de direcciones?
- 2. ¿Con qué señal del microprocesador debe ir conectada la señal OE de la memoria de programa?
- 3. ¿Por qué razón se utiliza un cerrojo o Latch para un bus multiplexado?
- 4. ¿Qué funciones cumple la señal Vpp?

Bibliografía y Fuentes Electrónicas



- Mandado, Enrique y Mandado, Yago (2008). Sistemas Electrónicos Digitales (9 ed.). México: Técnicas – Alfaomega Grupo Editor, S.A.,
- Electronic Components Datasheet Search. (2015). ALLDATASHEET. COM. Obtenido de

http://www.alldatasheet.com/view.jsp?Searchword=M27256

• Benítez, C. (2010). issuu. Obtenido de

http://issuu.com/microprocesadores/docs/8085_2

Conexión de la memoria de datos

Un sistema microprocesado necesita de una memoria temporal en la que se pueda leer y escribir datos cada vez que se ejecute la instrucción correspondiente. A continuación se detallará cómo conexionar la SRAM 6116, con capacidad de 2Kb, con un microprocesador Intel 8085.

Memoria SRAM 6116

El circuito integrado 6116 es un tipo de memoria de acceso aleatorio (RAM), que dispone de una capacidad de 2048 palabras de 8 bits. Se considera una memoria estática de alta velocidad, diseñada

con la tecnología CMOS. Trabaja con una fuente de +5.0 Voltios y está comprimida en una pastilla de 24 terminales o pines.

Esta memoria fue seleccionada por ser compatible con el microprocesador 8085, dado que posee un bus de datos de 8 bits. A continuación, se describe como están distribuidas las señales de control y selección entre los pines.

Tabla 3. Diagrama de pines de la memoria SRAM 6116

Memoria SRAM 6116					
8 7 6	40 41	I/00 I/01	9 10 11		
22 19 20 21 18	A9 A10 DE WE	I/O1 I/O2 I/O3 I/O4 I/O5 I/O6 I/O7	13 14 15 16 17		
Pines			Descripción		
De A0 hasta A10		Bus de direcci	ones		
De I/O 0 hasta I/O7		Bus de datos			
GND		Terminal de m	nasa o tierra		
Vcc		Terminal de al	limentación (+5V)		
CĒ		Chip de selección del componente			
OĒ		Entrada de lec			
WE		Entrada de esc	critura		

Ejemplo 1-2

Realizar un diagrama de conexión de la memoria de datos SRAM 6116 con el microprocesador 8085.

Cabe recalcar que la memoria de datos, también necesita de un LATCH y de un decodificador, para poder interactuar con el microprocesador 8085.

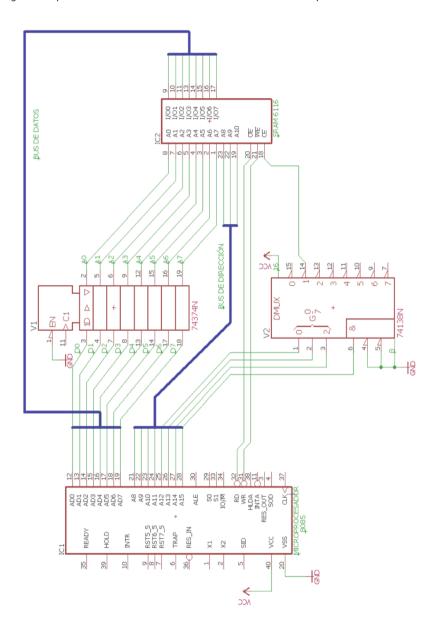
Soloución

A continuación se describen las conexiones de los diferentes pines de la memoria RAM 6116, con cada uno de los dispositivos necesarios para el desarrollo de la interface.

- Conectar las líneas de dirección de A0 hasta A7 con las salidas correspondientes de A0 hasta A7 del 74374.
- Conectar las líneas de dirección de A8 hasta A10 con las líneas correspondientes de A8 hasta A10 del microprocesador 8085.
- Conectar las líneas de datos de D0 hasta D7 con las líneas correspondientes de AD0 hasta AD7 del microprocesador 8085.
- Conectar **CE** con la salida correspondiente del decodificador 74138.
 - Conectar **WE** con la señal **WR** del microprocesador 8085.
 - Conectar **OE** con la salida **RD** del microprocesador 8085.

Cuando han sido conectadas las señales de la memoria de datos, como se indicó anteriormente, el diagrama de conexiones quedaría de la siguiente manera:

Figura 3. Esquema de conexión de la memoria SRAM 6116 con el microprocesador 8085



Sabías que...



Las señales de control y selección como WE, OE y CE generalmente se activan en BAJO (0 lógico) cuando suelen estar marcadas en negrita (**WE, OE y CE**), con una línea en la parte superior (**WE, OE y CE**,) o con un apostrofe al final (WE', OE' y CE'). En cambio cuando no están enmarcada de ninguna forma indica que las señales se activan en ALTO (1 lógico).

Preguntas de reflexión



- 1. ¿A qué señal del microprocesador debe ir conectada la señal WE de la SRAM 6116?
- 2. ¿Cómo se podría conectar la memoria de datos con el microprocesador 8085 utilizando el circuito integrado 8212?
- 3. ¿Cómo quedaría el diagrama de conexión si se utilizaran memorias de datos con un ancho de palabra de 4 bits?

Bibliografía y Fuentes Electrónicas



- Benítez, C. (2010). issuu. Obtenido de http://issuu.com/microprocesadores/docs/8085 2
- Massachusetts Institute of Technology. (2015). mit.com. Obtenido de web.mit.edu/6.115/www/document/6116.pdf

Conexión completa de memorias en un sistema microprocesado

Existen señales comunes entre los circuitos integrados, tales como: CE y OE. Ahora la pregunta es ¿Qué se debe hacer con las señales que se repiten en los diferentes circuitos integrados, si el microprocesador solo tiene un pin para conectar cada señal en su respectivo lugar?. La respuesta es sencilla, se deben puentear las señales tal como se haría para tomar voltaje de algun hilo que ya se conectó a la fuente. Es decir, una vez que se conecta totalmente un dispositivo, los demás integrados que requieren de la misma señal, lo que hacen es anclarse a la linea que tenga la señal que necesitan.

Una vez comprendido como deben ser las conexiones entre las memorias de datos y de programa con el microprocesador, lo único que faltaría es realizar la conexión completa de un sistema microprocesado.

Ejemplo 1-3

Realizar un diagrama de conexión completo de un sistema microprocesado, que tiene como base el microprocesador 8085, además de una memoria de datos 6116, memoria de programa 27256, un LATCH 74374 y un decodificador 74138.

Soloución

A continuación se describe las conexiones de los diferentes pines de los dispositivos anteriormente indicados, con la finalidad de implementar el sistema microprocesado requerido.

Conectar las líneas de dirección de A0 hasta A7 de la SRAM 6116 con las salidas correspondientes de A0 hasta A7 del 74374. Además se deberá conectar desde A8 hasta A10, con los pines de dirección de A8 hasta A10 del microprocesador.

Conectar el bus de direcciones desde A0 hasta A10 de la EPROM 27256 con la línea del bus de direcciones que ya existe.

Conectar mediante el bus de datos las líneas desde ADO hasta AD7 del microprocesador, las líneas OO hasta O7 de la memoria EPROM 27256 , y las líneas I/O0 hasta I/O7 de la memoria SRAM 6116.

Conectar las señales desde A12 hasta A15 del microprocesador, con los pines 1,2, 3, 6 del decodificador 74138, según se indica en la Figura 4.

Conectar las señales de ADO hasta AD7 del microprocesador con las entradas de DO hasta D7 del LATCH 74374.

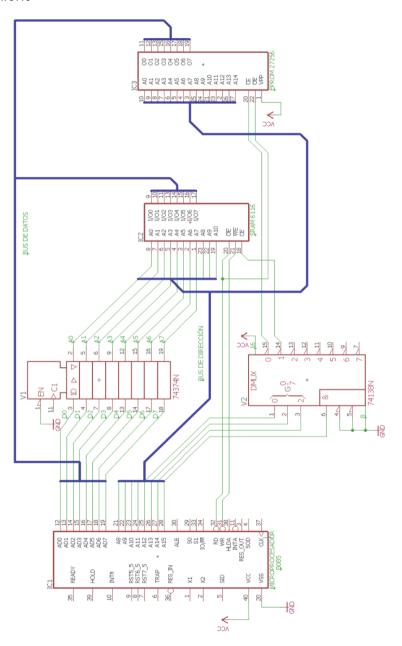
Conectar la señal **CE** de la SRAM y de la EPROM, con la salida correspondiente del decodificador 74138.

Conectar \mathbf{WE} de la EPROM, con la señal \mathbf{WR} del microprocesador.

Conectar \mathbf{OE} , tanto de la EPROM como de la SRAM, con la salida \mathbf{RD} del microprocesador.

Cuando han sido conectadas todas las señales, como se indicó anteriormente, el diagrama de conexiones quedaría de la siguiente manera:

Figura 4. Esquema de conexión del microprocesador 8085 con memoria EPROM 27256 y memoria SRAM 6116



Sabías que...



Se puede conectar al microprocesador más de una memoria de programa o de datos, siempre y cuando se les pueda asignar, de manera independiente un rango de direcciones del microprocesador que no esté ocupado por algún otro dispositivo conectado.

Además hay que tener presente que son limitados los pines de selección que tiene el decodificador para enviar señales que activen determinado dispositivo que el microprocesador escoja. Por lo tanto, para ampliar la cantidad de dispositivos a utilizar en un sistema microprocesado, se podría requerir conectar varios decodificadores en cascada.

Preguntas de reflexión



- 1. ¿Qué pasaría si se conecta más de una EPROM al microprocesador?
- 2. ¿En qué caso es conveniente emplear el LATCH 74374 en un sistema microprocesado?
- 3. ¿Cómo quedaría el esquema de conexión completo, indicado en la Figura 4., si se utilizara un microprocesador genérico cuyos pines de dirección y de datos no estén multiplexados?
- 4. ¿En qué casos se utilizaría varios decodificadores 74138 en cascada para un sistema microprocesado?
- 5. ¿Qué otros circuitos integrados serían los sustitutos adecuados para reemplazar el 74374 y el 74138?

Bibliografía y Fuentes Electrónicas

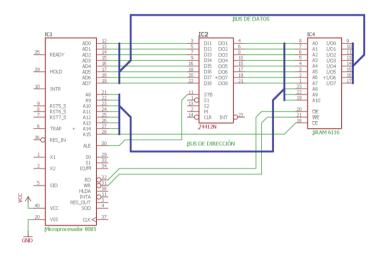


- Benítez, C. (2010). issuu. Obtenido de http://issuu.com/microprocesadores/docs/8085_2
- Massachusetts Institute of Technology. (2015). mit.com. Obtenido de web.mit.edu/6.115/www/document/6116.pdf



1. Del esquema de conexiones de la Figura 5 ¿Qué chip actúa como LATCH?

Figura 5. Conexión de la memoria 6116 con el microprocesador 8085 utilizando un LATCH



- 2. ¿Existen otros chips diferentes al DEMUX 74138 para implementar un decodificador de direcciones para un sistema microprocesado? ¿Cuáles?
- 3. ¿Qué chips se necesitarían para realizar un diagrama de conexiones completo para un sistema microprocesado, que esté compuesto por un microrpocesador 8085, tenga una capacidad de memoria de datos de 6Kb y una capacidad de memoria de programa de 8 Kb?
- 4. Refiérase a la pregunta 3 y elabore cómo quedaría el diagrama de conexión completo para el sistema microprocesado propuesto.
- 5. ¿Cómo quedaría el esquema de conexión de un sistema microprocesado que tenga los siguientes circuitos integrados: microprocesador 8080, memoria de datos 6116 y una memoria de programa 2764? Para solucionar este ejercicio se recomienda revisar el datasheet de cada circuito integrado involucrado.

El Microprocesador 8085

Objetivos

- Identificar los bloques y elementos que componen la arquitectura interna del microprocesador 8085.
- Comprender los operaciones y procedimientos necesario para la programación del microprocesador 8085.
- Caracterizar los grupos de instrucciones o nemotécnicos del microprocesador 8085.

Introducción

Dentro de este capítulo se han preparado una serie de ejercicios y soluciones prácticas, donde el estudiante aprenderá el manejo de registros, localidades de memoria, repertorios de instrucciones, etc., correspondientes a un sistema microprocesado basado en un microprocesador básico como lo es el Intel 8085.

Se revisarán aspectos claves sobre la arquitectura, descripción de pines y registros del microprocesador 8085, como base para la comprensión de las diferentes actividades que se dan internamente en el mismo, tales como: mover, intercambiar, sumar, deshabilitar o habilitar interrupciones, etc. Además, se realizará el estudio de los ciclos de máquina que se dan al realizar una instrucción, los mismos que involucran la interacción con diferentes dispostivos que forman parte del sistema microprocesado, siempre que estén debidamente conectados y sincronizados con el microprocesador.

Como fuente de información para que los lectores puedan comprender mejor el manejo de instrucciones, se ha tomado como referencia la nomenclatura utilizada por Intel Corporation.

Caracterización interna del microprocesador 8085

Arquitectura

El microprocesador 8085 fue presentado por Intel en el año de 1977. Su arquitectura se basa en su antecesor el 8080; e incluye novedades como un generador de impulsos de reloj, controlador de buses, cuatro entradas de interrupción, dos líneas para entrada/salida para información en serie, y un bus de datos y de direcciones multiplexado. Gracias a estas innovaciones al 8085 se lo consideró como un integrado potente, capaz de desarrollar operaciones aritméticas, lógicas y de control.

Internamente el micro 8085 comunica los bloques que lo conforman mediante tres tipos de buses, transmitiendo señales de control, datos o direcciones.

El bus de direcciones, utiliza 16 pines , que desde A15 hasta A8, funcionan de manera independiente, y desde AD7 hasta AD0 están multiplexados, es decir, en un momento en el bus existen datos, y en otro momento direcciones, lo cual permite un ahorro de pines en el microprocesador.

El bus de datos, está formado por 8 bits que utilizan 8 líneas de conexión, desde ADO hasta AD7, para transmitir datos entre los bloques y el exterior, por lo que se trata de un bus bidireccional.

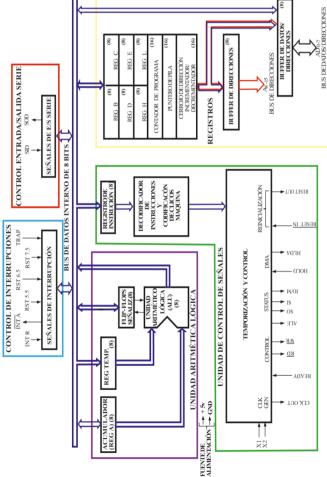
El bus de control, está conformado por un número determinado de líneas, que sirven para la temporización y control de los procesos que realiza el microprocesador, como por ejemplo: leer o escribir en memoria o en puertos y atender interrupciones o ciclos DMA (Direct Memory Access).

El registro de instrucción, es el primer lugar donde se almacenan las instrucciones. Posteriormente, éstas serán interpretadas por el decodificador de instrucciones, que tiene como función identificar cuál micro programa deberá seguir, siempre y cuando el control de reloj le

haya asignado un tiempo de espera para realizar la instrucción. Debido a que este microprocesador no realiza procesos en paralelo, el control de reloj, indica el orden y permite la coordinación de las instrucciones del microprocesador y los periféricos.

Como se observa en la Figura 6., al microprocesador se lo puede dividir en los siguientes bloques: Registros, Señales de interrupción, señales de E/S, Unidad Aritmética Lógica y Unidad de Control de Señales. Los componentes internos de este grupo de bloques se describen a continuación:

Figura 6. Arqitectura interna del Microprocesador 8085



Registros

El microprocesador 8085 posee los siguientes registros:

1. Registros de propósito general: Cuenta con 6 registros de uso general (B, C, D, E, H, L); no tienen una función predefina y se utilizan para guardar datos temporalmente. Individualmente pueden almacenar 8 bits, pero si se necesita mayor capacidad se los puede agrupar en parejas (BC, DE, HL) con capacidades de 16 bits cada una.

Figura 7. Registros de propósito general

(8)	(8)
REG B	REG C
(8)	(8)
REG D	REG E
(8)	(8)
REG H	REG L

2. Contador de programa (PC): Es un registro de 16 bits que señala la dirección de memoria de la siguiente instrucción que se va a ejecutar. Su contenido es impredecible e incremental, sin embargo puede ser cambiado según se requiera.

Figura 8. Contador de programa

3. Puntero de pila (SP): Es un registro de 16 bits, conocido como puntero de dato. Señala todo el tiempo a la cima de la pila, que no es nada más que la parte superior del bloque de la memoria RAM, donde se pueden almacenar datos temporalmente.

Figura 9. Puntero de pila



4. Cerrojo de dirección Incrementador/Decrementador: Es un registro de 16 bits que permite aumentar o disminuir en 1 cualquiera de los registros.

Cumple dos funciones que son:

- Primera Función: Selecciona la dirección que va a ser enviada, ya sea al contador de programa, al puntero de pila o cualquiera de los registros de uso general.
- Segunda Función: Almacena la dirección hasta que sea requerida por el bus de dirección interno.

Figura 10. Cerrojo de dirección del micro 8085

CERROJO DE DIRECCIÓN (16) INCREMENTADOR/ DECREMENTADOR

Unidad Aritmética Lógica

Está compuesta por:

1. Acumulador: Es un registro de 8 bits, en el cual se almacenarán los datos o el resultado que se obtenga de la ALU (por sus siglas en inglés), así como también puede servir como un registro de propósito general de 8 bits.

Figura 11. Acumulador del 8085

ACUMULADOR (REG A) (8)

2. Registro Temporal: Es un registro de 8 bits que se encarga de recibir los datos provenientes del bus de direcciones interno del microprocesador antes de ser procesado por la unidad aritmética lógica (ALU), conjuntamente con el Registro A.

Figura 12. Registro temporal del 8085

REG TEMP. (8)

3. Flip Flop Señalizadores: Es un registro de 8 bits, que indica el estado en que se encuentra el acumulador, luego de realizarse operaciones aritméticas o lógicas.

Figura 13. Señalizadores de estado del acumulador del 8085



Consta del siguiente formato:

Figura 14. Señalizadores del registro de status del 8085

\mathbf{B}_7	\mathbf{B}_{6}	B_5	$\mathbf{B_4}$	\mathbf{B}_3	$\mathbf{B_2}$	B ₁	$\mathbf{B_0}$
S	Z		AC		P		CY

Donde,

CY	=	Acarreo
P	=	Paridad
AC	=	Acarreo auxiliar
Z	=	Cero
S	=	Signo
En blanco	=	Indiferente

CY (Señalizador de arrastre), puede tener por valor "1" en dos casos: en una suma, cuando el resultado supera los 8 bits o en una resta, cuando el minuendo sea menor que el sustraendo. Caso contrario tomará el valor de "0".y no se perdería claridad en la oración.

P (Señalizador de paridad), sin considerar el bit de acarreo, cuenta la cantidad de "1s" (unos) de un resultado ubicado en el Acumulador. Cuando éstos estén en número par (paridad par), P=1. En cambio sí están en número impar (paridad impar), P=0.

AC (Señalizador de arrastre auxiliar), busca si existe un acarreo en el proceso de suma de los bits, de la posición 3 (B3) a la posición 4 (B4), pues de ser así, AC= 1. Caso contrario, si no hubiese acarreo, AC=0. De la misma forma que CY, indicaría lo anteriormente descrito, para la suma de los bits desde la posición 7 (B7).

Z (Señalizador de cero), se pone en "1" sólo cuando el resultado (ubicado en el Acumulador) de una operación es cero, de no ser así Z toma el valor de "0".

- S (Señalizador de signo) se encarga de identificar cuándo un resultado es negativo o positivo basándose en el MSB. Toma el resultado del acumulador de izquierda a derecha, si el primer valor encontrado es "1" se trata de un valor negativo y S tomará el valor de "1". Caso contrario, si el valor encontrado es "0" se trata de un número positivo y S se pondrá en "0".
- 4. Unidad Aritmética lógica (ALU): Es un circuito lógico combinatorio, que se encarga de realizar las operaciones aritméticas, lógicas y de desplazamiento, cuyo resultado, posteriormente es enviado hasta el acumulador.

Figura 15. Unidad aritmética lógica del 8085



Unidad de control de Señales

1. Registro de instrucciones: Es un registro de 8 bits que retiene el código de operación antes de ser interpretado por el decodificador de instrucciones y codificador de ciclos de máquina.

Figura 16. Registro de instrucción del 8085



2. Decodificador de instrucciones y codificación de ciclos de maquina: Cuando esté en ejecución el microprocesador, procederá a la búsqueda de instrucciones, cuyo código de operación (OP) será primeramente transferido al registro de instrucciones.

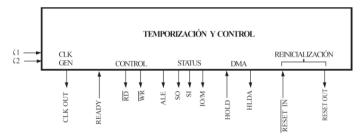
El decodificador de instrucciones permite, controlar los registros, la unidad aritmética lógica (ALU), buffer de datos y de dirección, siempre y cuando se le haya asignado el temporizador del control de reloj.

Figura 17. Decodificador de instrucciones del 8085



3. Temporizador y Control: Para que exista un control y sincronización dentro del chip, el microprocesador 8085 posee un control de reloj que permite producir señales para control interno y externo de los componentes, que se activa mediante el uso del cristal de cuarzo.

Figura 18. Temporización y control del 8085



Control de Interrupciones

Interrupciones: En cuanto a las interrupciones, el microprocesador 8085 posee 5 tipos que son:

TRAP Guarda el contador del programa en la pila y salta a la posición 0024H, una característica importante es que no puede ser inhabilitada (no enmascarable)

RST 7.5 Guarda la pila en el contador del programa y salta a la posición 003CH

RST 6.5 Guarda la pila en el contador del programa y salta a la posición 0034H

RST 5.5 Guarda la pila en el contador del programa y salta a la posición 002CH

INTR Busca una instrucción de una fuente externa

Tabla 4. Interrupciones hardware del 8085

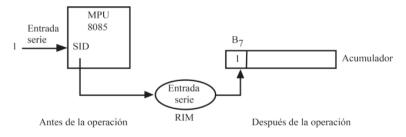
Nombre	Prioridad	Dirección (1) a la que se bifurca cuando ocurre la interrupción	Tipo de disparo
TRAP	1	0024H	Flanco de subida AND nivel alto hasta que sea muestreada
RST 7.5	2	003CH	Flanco de subida (cerrojo)
RST 6.5	3	0034H	Nivel alto hasta que sea muestreada
RST 5.5	4	002CH	Nivel alto hasta que sea muestreada
INTR	5	(2)	Nivel alto hasta que sea muestreada

Control de Entrada/salida serie

La entrada SOD y la salida SID, son utilizadas para transferir datos binarios desde y hacia los dispositivos externos de comunicación.

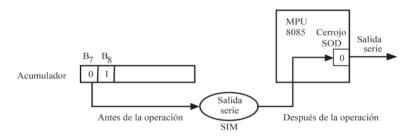
1. SID (Serial Input Data): Se lo puede utilizar como un probador de propósito general para lo cual se utiliza la instrucción RIM.

Figura 19. Instrucción RIM del 8085 para entrada serie



2. SOD (Serial Output Data): Se lo puede utilizar como salida de control de 1 bit, utilizando la instrucción SIM.

Figura 20. Instrucción SIM del 8085 para salida serie



Descripción de pines

El microprocesador Intel 8085, tiene un tipo de encapsulado DIP de 40 pines, de los cuales 8, son para el bus de direcciones (de A8 hasta A15) y trabajan de forma independiente. Mientras que los pines para el bus de datos (de AD0 hasta AD7), están multiplexados, lo que requiere del pin ALE, para poder utilizar externamente los bits de direcciones o datos, en el momento que éstos sean requeridos.

Los pines RD y WR, listados en la Tabla 5, permiten enviar o recibir datos procedentes de los dispositivos conectados al microprocesador.

Los pines del microprocesador 8085 se pueden agrupar de la siguiente manera:

- Pines A8 A15 Bus de direcciones (Independiente)
- Pines AD0 AD7 Bus de direcciones y datos (Compartido)
- Pines para el bus de control
- Pines para la frecuencia de reloj
- Pines para el manejo de interrupciones
- Pines de alimentación

A continuación se describe la función que cumple cada pin, de acuerdo a la señal que representa, siguiendo las especificaciones que el fabricante establece en el datasheet del componente.

Tabla 1. Descripción de pines del microprocesador 8085

32

33

34

35

RD

S1

IO/M

READY

Microprocesador 8085						
	35 39 10 9 8 7 6 36 1 1 2 2	AD3				
PIN	NOMBRE	DESCRIPCIÓN				
1	X1	Permite conectar el cristal de cuarzo para que funcione el				
2	X2	control de reloj				
3	RESET OUT	Permite inicializar los periféricos				
4	SOD	Salida serie				
5	SID	Entrada serie				
6	TRAP	Entrada de interrupción no enmascarable (No se deshabilita)				
7	RST 7.5					
8	RST 6.5	Entradas de interrupción				
9	RST 5.5					
10	INTR	Entrada de interrupción (externa)				
11	INTA	Reconocimiento de interrupción				
12-19	AD0 – AD7	Bus de direcciones y datos (Compartido)				
20	GND	Conexión a tierra				
21-28	A8 – A15	Bus de direcciones (independiente)				
29	SO	Bit de estado				
30	ALE	Funciona como cerrojo 0 Habilita datos y 1 habilita direcciones				
21	WR	Escritura - Funciona con salida 0				
31	VVII	Escritura Turiciona con sanda o				

Lectura – Funciona con salida 0

1 operaciones con puertos, 0 operaciones con memoria

Sincroniza memorias y periféricos de menor velocidad

Bit de estado

36	RESET IN	Inicializa el microprocesador cuando está en 0
37	CLK OUT	Salida de la señal del reloj interno
38	HLDA	Reconocimiento de HOLD
39	HOLD	Funciona para que los buses tengan alta impedancia para el manejo de DMA
40	VCC	Fuente de alimentación 5 voltios

Introducción a la programación del microprocesador 8085

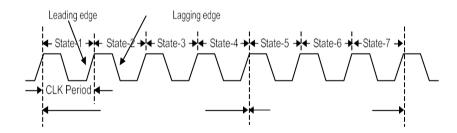
Ciclos de ejecución de las instrucciones

Cuando llegan instrucciones al microprocesador, éste no las ejecuta de manera inmediata, pues requiere de múltiples tareas y operaciones para que la información que se envía, llegue al destino correcto o viceversa. A este proceso se le denomina ciclo de instrucción.

Los ciclos de ejecución de las instrucciones se componen de las siguientes características:

Diagrama de Temporización.- Es la representación gráfica de los ciclos de instrucción que se requieren ejecutar; esta representación está constituida por T Estados.

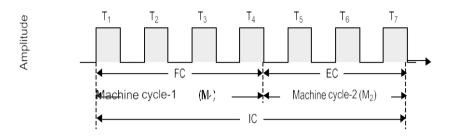
Figura 21. Diagrama de Temporización



Ciclo de Instrucción.- Es el tiempo que se necesita para que el microprocesador ejecute una instrucción y está compuesto por uno o varios ciclos de máquina.

Ciclo de Máquina.- Denota una actividad específica del microprocesador y está compuesta por varios estados.

Figura 22. Ciclo de Máquina



Estados.- Son los periodos de la señal de reloj temporizados por el microprocesador y que permiten que se lleven a cabo los ciclos de máquina y los ciclos de instrucción.

A continuación en la Tabla 6, se indican todos los ciclos de máquina con los que cuenta el microprocesador 8085.

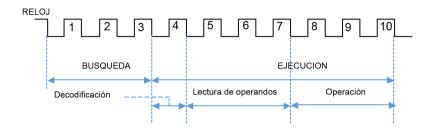
Tabla 6. Ciclos de máquina del microprocesador 8085

ESTADO DE SEÑALES												
El ciclo de la máquina	El ciclo de la máquina IO / M S1 S0 RD WR INTA											
Fetch (opcode)	0	1	1	0	1	1						
Memoria de lectura	0	1	0	0	1	1						
Escritura de memoria	0	0	1	1	0	1						
Lectura de E/S (I/O)	1	1	0	0	1	1						
Escritura de E/S (I/OW)	1	0	1	1	0	1						
Acusar de INTR (INTA)	1	1	1	1	1	0						
BUS Inactivo (BI)	0	1	0	1	1	1						
ACK de RST	1	1	1	1	1	1						
Detener	Z	0	0	Z	Z	1						
Mantenga	Z	Х	Х	Z	Z	1						
X → Z Indeterminado → estado de impedancia alta												

El proceso que realiza el microprocesador para realizar las instrucciones consta de dos fases fundamentales:

- Fase de búsqueda.
- Fase de ejecución.

Figura 23. Fases de un ciclo de instrucción



Como se puede apreciar en la Figura 23, para ejecutar una instrucción, el microprocesador comienza con una fase de búsqueda del primer byte de la instrucción, que se conoce con el nombre de código de operación, para luego dependiendo del tipo de instrucción que ejecuta, realizar otros ciclos de máquina correspondientes.

Ciclos de máquina

A continuación, se explicarán algunos de los ciclos de máquina más comunes, en la mayoría de instrucciones del microprocesador 8085.

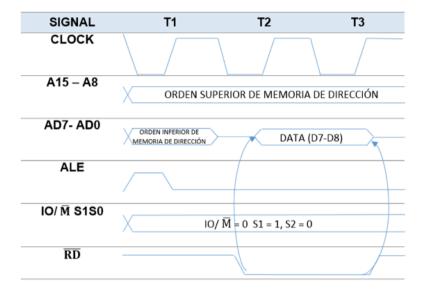
Operación búsqueda de código de operación (opcode fetch)

Es el primer ciclo de máquina a ejecutarse cuando se realiza cualquier instrucción, comúnmente denominado OPCODE FETCH. Este ciclo de máquina cumple la función de traer el código de operación de la instrucción que se ejecuta, desde la memoria.

El ciclo de búsqueda está compuesto por 4 estados de tiempo, cuyos 3 primeros estados son para obtener el código de la operación de la instrucción, mientras que el último estado sirve para decodificar y ejecutar la instrucción.

Algunas instrucciones, requieren de 6 estados de tiempo, para realizar la búsqueda del código de operación.

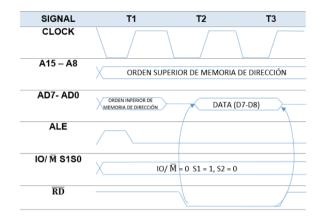
Tabla 7. Operación búsqueda de código de operación (opcode fetch)



Operación de ciclo lectura de memoria

Para realizar esta operación, el microprocesador temporiza algunas de sus señales, tal como se indica en la Tabla 8., para, a partir de T2, activar la señal RD' hacia el estado bajo, de tal manera que en el bus multiplexado AD0....AD7, sea colocado el dato para su lectura hacia el microprocesador.

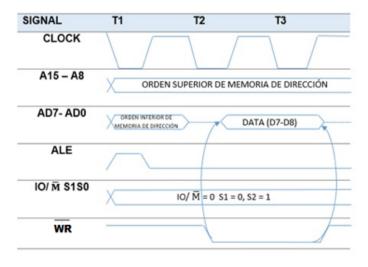
Tabla 8. Operación de ciclo lectura de memoria



Operación de ciclo escritura de memoria

Para realizar esta operación, el microprocesador temporiza algunas de sus señales, tal como se indica en la Tabla 9., para a partir de T2, activar la señal WR hacia el estado bajo, de tal manera que en el bus multiplexado AD0....AD7, sea colocado el dato, desde el bus de datos interno del microprocesador, hacia la celda de memoria correspondiente.

Tabla 9. Operación de ciclo escritura de memoria



Modos de direccionamiento

Los modos de direccionamiento son procesos particulares que se realizan de manera general, para un grupo determinado de instrucciones.

Los cinco modos de direccionamiento, que presentan las instrucciones del microprocesador 8085, son:

Direccionamiento implicado

No se necesita ninguna interacción entre los diferentes elementos que componen el microprocesador. Las instrucciones que tiene éste tipo de direccionamiento afectan solamente un elemento.

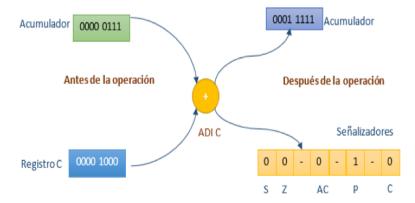


Direccionamiento de registro

Las instrucciones que operan con este modo de direccionamiento, involucran la interacción solamente de cualquiera de los registros de 8 o 16 bits con que cuenta el microprocesador 8085.



Figura 24. Instrucción ADD C, modo de direccionamiento de registro

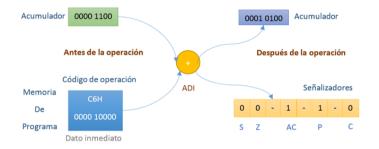


Direccionamiento inmediato

Este modo de direccionamiento presenta la particularidad de que el dato necesario para ejecutar la instrucción, se encuentra ubicado inmediatamente a continuación del código de operación de la misma instrucción.



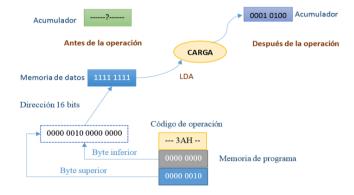
Figura 25. Instrucción ADI 08H, modo de direccionamiento inmediato



Direccionamiento directo

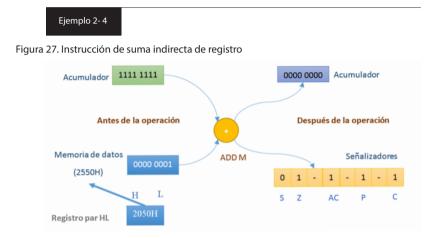
En éste modo de direccionamiento, luego del código de operación de la instrucción, se encuentran 2 bytes, que se utilizan en conjunto como puntero de memoria, para leer o escribir un dato específico, requerido para la ejecución de una instrucción dada.

Figura 26. La Instrucción LDA 0200H, modo de direccionamiento directo.



Direccionamiento indirecto de registro

Las instrucciones con modo de direccionamiento indirecto de registro, utilizan los registros pares H y L como puntero de memoria, para leer o escribir un dato específico, requerido para la ejecución de una instrucción dada.



Repertorio de instrucciones del microprocesador 8085

En el microprocesador 8085, las instrucciones son almacenadas como bytes de 8 bits en el área de memoria de programa. Utiliza instrucciones de 1, 2 y 3 bytes. El primer byte de la instrucción es el código de operación, que indica cuál de las instrucciones del microprocesador debe ejecutarse. El microprocesador 8085 tiene 239 instrucciones almacenadas. La MPU identifica los códigos de operación cuando están en forma binaria de 8 bits.

El diseño de pastilla, ya trae incorporado de forma permanente el grupo de instrucciones a las cuales responderá la MPU 8080 y 8085. Cabe mencionar que tanto el microprocesador 8080 y el 8085 utilizan los mismos códigos de operación. Además el 8085 contiene dos instrucciones adicionales al conjunto de instrucciones del MPU 8080.

Intel Corporation, agrupa las instrucciones del microprocesador 8080/8085 en categorías de acuerdo a sus funciones, quedando establecido de la siguiente manera:

- 1. Grupo de transferencia de datos
- 2. Grupo aritmético
- 3. Grupo lógico
- 4. Grupo de bifurcaciones
- 5. Grupo de pila, E/S y de control máquina.

En el Apéndice C se indica la nomenclatura que se utilizará para representar las operaciones de las instrucciones del microprocesador, tomando como referencia el formato utilizado por Intel Corporation.

Grupo de transferencia de datos

Un grupo de instrucciones indica el conjunto de acciones que puede entender y ejecutar un microprocesador. Uno de los grupos que engloba estas instrucciones, es el grupo de transferencia de datos, que se estudia en este capítulo.

El conjunto de instrucciones de transferencia de datos, entre registros o entre posiciones de memoria y registros, incluye operaciones de transferir, intercambiar, cargar y almacenar.

El repertorio de instrucciones para la transferencia de datos del microprocesador 8085 se detalla en la Tabla 10.

DESCRIPCIÓN	CÓDIGO DE OPERACIÓN	NEMOTÉCNICO	BYTES DE INSTRUCCIÓN	ESTADOS	CICLOS DE MÁQUINA
	TRANSFEREN	CIA DE REGISTRO A	REGISTRO		
MOVIMIENTOS AL REGISTRO A					
Mueva el contenido del Reg. B al Reg. A	78	MOV A, B	1	4	1
Mueva el contenido del Reg. C al Reg. A	79	MOV A, C	1	4	1
Mueva el contenido del Reg. D al Reg. A	7A	MOV A, D	1	4	1
Mueva el contenido del Reg. E al Reg. A	7B	MOV A, E	1	4	1

Mueva el contenido del Reg. H al Reg. A	7C	MOV A, H	1	4	1
Mueva el contenido del Reg. L al Reg. A	7D	MOV A, L	1	4	1
Mueva el contenido del Reg. A al Reg. A	7F	MOV A, A	1	4	1

MOVIMIENTOS AL REGISTRO B					
Mueva el contenido del Reg. B al Reg. B	40	MOV B, B	1	4	1
Mueva el contenido del Reg. C al Reg. B	41	MOV B, C	1	4	1
Mueva el contenido del Reg. D al Reg. B	42	MOV B, D	1	4	1
Mueva el contenido del Reg. E al Reg. B	43	MOV B, E	1	4	1
Mueva el contenido del Reg. H al Reg. B	44	MOV B, H	1	4	1
Mueva el contenido del Reg. L al Reg. B	45	MOV B, L	1	4	1
Mueva el contenido del Reg. A al Reg. B	47	MOV B, A	1	4	1

MOVIMIENTOS AL REGISTRO C					
Mueva el contenido del Reg. B al Reg. C	48	MOV C, B	1	4	1
Mueva el contenido del Reg. C al Reg. C	49	MOV C, C	1	4	1
Mueva el contenido del Reg. D al Reg. C	4A	MOV C, D	1	4	1
Mueva el contenido del Reg. E al Reg. C	4B	MOV C, E	1	4	1
Mueva el contenido del Reg. H al Reg. C	4C	MOV C, H	1	4	1
Mueva el contenido del Reg. L al Reg. C	4D	MOV C, L	1	4	1
Mueva el contenido del Reg. A al Reg. C	4F	MOV C, A	1	4	1

MOVIMIENTOS AL REGISTRO D					
Mueva el contenido del Reg. B al Reg. D	50	MOV D, B	1	4	1
Mueva el contenido del Reg. C al Reg. D	51	MOV D, C	1	4	1
Mueva el contenido del Reg. D al Reg. D	52	MOV D, D	1	4	1
Mueva el contenido del Reg. E al Reg. D	53	MOV D, E	1	4	1
Mueva el contenido del Reg. H al Reg. D	54	MOV D, H	1	4	1
Mueva el contenido del Reg. L al Reg. D	55	MOV D, L	1	4	1
Mueva el contenido del Reg. A al Reg. D	57	MOV D, A	1	4	1

MOVIMIENTOS AL REGISTRO B					
Mueva el contenido del Reg. B al Reg. E	58	MOV E, B	1	4	1
Mueva el contenido del Reg. C al Reg. E	59	MOV E, C	1	4	1
Mueva el contenido del Reg. D al Reg. E	5A	MOV E, D	1	4	1
Mueva el contenido del Reg. E al Reg. E	5B	MOV E, E	1	4	1
Mueva el contenido del Reg. H al Reg. E	5C	MOV E, H	1	4	1
Mueva el contenido del Reg. L al Reg. E	5D	MOV E, L	1	4	1
Mueva el contenido del Reg. A al Reg. E	5F	MOV E, A	1	4	1

MOVIMIENTOS AL REGISTRO H					
Mueva el contenido del Reg. B al Reg. H	60	MOV H, B	1	4	1
Mueva el contenido del Reg. C al Reg. H	61	MOV H, C	1	4	1
Mueva el contenido del Reg. D al Reg. H	62	MOV H, D	1	4	1
Mueva el contenido del Reg. E al Reg. H	63	MOV H, E	1	4	1
Mueva el contenido del Reg. H al Reg. H	64	MOV H, H	1	4	1
Mueva el contenido del Reg. L al Reg. H	65	MOV H, L	1	4	1
Mueva el contenido del Reg. A al Reg. H	67	MOV H, A	1	4	1

MOVIMIENTOS AL REGISTRO L					
Mueva el contenido del Reg. B al Reg. L	68	MOV L, B	1	4	1
Mueva el contenido del Reg. C al Reg. L	69	MOV L, C	1	4	1
Mueva el contenido del Reg. D al Reg. L	6A	MOV L, D	1	4	1
Mueva el contenido del Reg. E al Reg. L	6B	MOV L, E	1	4	1
Mueva el contenido del Reg. H al Reg. L	6C	MOV L, H	1	4	1
Mueva el contenido del Reg. L al Reg. L	6D	MOV L, L	1	4	1
Mueva el contenido del Reg. A al Reg. L	6F	MOV L, A	1	4	1

TRANSFERENCIA DE REGISTRO INMEDIATA								
Mueva data al Registro A	3E	MVI A, data	2	7	2			
Mueva data al Registro B	06	MVI B, data	2	7	2			
Mueva data al Registro C	0E	MVI C, data	2	7	2			
Mueva data al Registro D	16	MVI D, data	2	7	2			
Mueva data al Registro E	1E	MVI E, data	2	7	2			
Mueva data al Registro H	26	MVI H, data	2	7	2			
Mueva data al Registro L	2E	MVI L, data	2	7	2			

	TRANSFEREN	ICIA A MEMORIA II	NMEDIATA		
Mueva data a la memoria*	35	MVI M, data	2	10	2

CARGAR REGISTRO PAR INMEDIATO								
Cargue el apuntador de la pila con data16	31	LXI SP, data16	3	10	3			
Cargue los registros B y C con data16	01	LXI B, data16	3	10	3			
Cargue los registros D y E con data16	11	LXI D, data16	3	10	3			
Cargue los registros H y L con data16	21	LXI H, data16	3	10	3			

	CAR	GAR H Y L DIRECT	0		
Cargue H y L con el contenido de addr	2A	LHLD addr	3	16	5

	CARGAR	ACUMULADOR DI	RECTO		
Cargue el Reg. A con el contenido de addr	3A	LDA addr	3	13	4
Cargue Reg. A con el contenido de la posición					

CARGA INDIRECTO EL ACUMULADOR								
de memoria definida por B y C	0A	LDA addr	3	13	4			
Cargue Reg. A con el contenido de la posición								
de memoria definida por D y E	1A	LDAX D	1	7	2			
Almacena Reg. A en la posición de memoria								

ALMACENA INDIRECTO EL ACUMULADOR						
Definida por los Reg. B y C	02	STAX B	1	7	2	
Almacena Reg. A en la posición de memoria definida por los Reg. D y E	12	STAX D	1	7	2	

	ALMACEN	A ACUMULADOR D	DIRECTO		
Almacena Reg. A en la dirección	32	STA addr	3	13	4

ALMACENA H Y L DIRECTO					
Almacena Regs. H y L en la dirección	22	SHLD addr	3	16	5

Nota: addr= Dirección de memoria (16 bits); data= Dato de 8 bits (un Byte); data16= Un dato de 16 bits (2 Bytes); *= La dirección de memoria (M) está especificada por el contenido de los registros H y L

A continuación se detallan cada una de las instrucciones del grupo de transferencia de datos.

MOV r1, r2 (Transfiere registro)

Nemotécnico	MOV r1, r2
Simbología de funcionamiento	(r1) ← (r2)
Modo de direccionamiento	registro
Señalizadores afectados	Ninguno
Ciclos	1
Estados	4

Descripción del funcionamiento: El contenido del registro r2 es transferido al registro r1.

Bytes de Instrucción:

01	DDD	SSS
	DATO	

MOV r, M (Transfiere de memoria)

Nemotécnico	MOV r, M
Simbología de funcionamiento	(r) ← ((H) (L))
Modo de direccionamiento	Indirecto de registro
Señalizadores afectados	Ninguno
Ciclos	2
Estados	7

Descripción del funcionamiento: El contenido de la posición de memoria cuya dirección está indicada a través de los registros H y L es transferido al registro r

Bytes de Instrucción:

01	DDD	110
	DATO	

MOV M, r (Transfiere a memoria)

Nemotécnico	MOV M, r
Simbología de funcionamiento	((H) (L)) ← (r)
Modo de direccionamiento	Indirecto de registro
Señalizadores afectados	Ninguno
Ciclos	2
Estados	7

Descripción del funcionamiento: El contenido del registro ${\bf r}$ es transferido a la posición de memoria cuya dirección está en los registros H y L.

Byte de instrucción:

01110	SSS
DATO	

MVI r, dato (Transferencia inmediata)

Nemotécnico	MVI r, dato
Simbología de funcionamiento	(r) ← (dato)
Modo de direccionamiento	Inmediato
Señalizadores afectados	Ninguno
Ciclos	2
Estados	7

Descripción del funcionamiento: Transfiere el dato que se encuentra en el byte 2 de la instrucción en el registro r.

Bytes de instrucción:

CÓDIGO DE OPERACIÓN	0	0	D	D	D	1	1	0
BYTE 2				D/	ТО			

MVI M, dato (Transfiere a memoria inmediata)

Nemotécnico	MVI M, dato			
Simbología de funcionamiento	((H) (L))← (byte 2)			
Modo de direccionamiento	Inmediata indirecto de registro			
Señalizadores afectados	Ninguno			
Ciclos	3			
Estados	10			

Descripción del funcionamiento: El dato contenido en el byte 2 de la instrucción, es transferido a la posición de memoria cuya dirección está indicada por los registros H y L

Bytes de instrucción:

CÓDIGO DE OPERACIÓN	0	0	1	1	0	1	1	0
BYTE 2				D/	то			

LXI rp, dato 16 (Carga registro par inmediato)

Nemotécnico	LXI rp, dato 16
Simbología de funcionamiento	(rh) ← (byte 3), (rl) ← (byte 2)
Modo de direccionamiento	Inmediato

Señalizadores afectados	Ninguno
Ciclos	3
Estados	10

Descripción del funcionamiento: El byte 3 de la instrucción es transferido al registro de orden superior (rh) del registro par rp. El byte 2 de la instrucción es transferido al registro de orden inferior (rl) del registro par rp.

Bytes de instrucción:

00	RP	0 001
Dato de orden interior		
Dato de orden superior		

LDA addr (Carga acumulador directo)

Nemotécnico	LDA addr
Simbología de funcionamiento	(A) ← ((byte 3)(byte 2))
Modo de direccionamiento	directo
Señalizadores afectados	Ninguno
Ciclos	4
Estados	13

Descripción del funcionamiento: El contenido de la posición de memoria, cuya dirección está especificada en los Bytes 2 y 3 de la instrucción, es transferido al registro A.

Bytes de instrucción



STA addr (Almacena acumulador directo)

Nemotécnico	STA addr
Simbología de funcionamiento	((byte 3) (byte 2))←(A)
Modo de direccionamiento	Directo
Señalizadores afectados	Ninguno

Ciclos	4
Estados	13

Descripción del funcionamiento: El contenido del acumulador es transferido a la posición de memoria cuya dirección esta especificada en los bytes 2 y 3 de la instrucción.

Bytes de instrucción



LHLD addr (Carga H y L directo)

Nemotécnico	LHLD addr, dato16
Simbología de funcionamiento	(L) ← ((byte 3) (byte 2));
	(H) ← ((byte 3) (byte 2) + 1)
Modo de direccionamiento	Indirecto
Señalizadores afectados	Ninguno
Ciclos	5
Estados	16

Descripción del funcionamiento: El contenido de la posición de memoria, cuya dirección esta especificada en los bytes 2 y 3 de la instrucción, es transferido al registro L. El contenido de la posición de memoria en la dirección siguiente es transferido al registro H.

Bytes de instrucción:



SHLD addr (Almacena H y L directo)

Nemotécnico	STA addr
Simbología de funcionamiento	((byte 3) (byte 2)) ← (L); ((byte 3) (byte 2) + 1) ← (H)
Modo de direccionamiento	Directo

Señalizadores afectados	Ninguno
Ciclos	5
Estados	16

Descripción del funcionamiento: El contenido del registro L es transferido a la posición de memoria, cuya dirección está especificada en los bytes 2 y 3. El contenido del registro H es transferido a la posición de memoria siguiente.

Bytes de instrucción:



LDAX rp (Carga indirecto el acumulador)

Nemotécnico	LDAX rp
Simbología de funcionamiento	(A)← ((rp))
Modo de direccionamiento	Indirecto
Señalizadores afectados	Ninguno
Ciclos	2
Estados	7

Descripción del funcionamiento: El contenido de la posición de memoria cuya dirección está en el registro par rp, es transferido al registro en A. Nota: solamente pueden ser especificados los registros.

Bytes de instrucción

00	RP	1010
----	----	------

STAX rp (Almacena indirecto el acumulador)

Nemotécnico	STAX rp
Simbología de funcionamiento	$((rp)) \leftarrow (A)$
Modo de direccionamiento	Indirecto del Registro
Señalizadores afectados	Ninguno
Ciclos	2
Estados	7

Descripción del funcionamiento: El contenido del registro A es transferido a la posición de memoria cuya dirección está en el registro par rp. Nota: solamente pueden ser especificados los registros

Bytes de instrucción:

00 RP 0010	7
------------	---

XCHG (Intercambia H y L con D y E)

Nemotécnico	XCHG
Simbología de funcionamiento	(H)↔(D); (L)↔(E)
Modo de direccionamiento	Registro
Señalizadores afectados	Ninguno
Ciclos	1
Estados	4

Descripción del funcionamiento: Los contenidos de los registros H y L son intercambiados con los contenidos de los registros D y E y viceversa.

Bytes de instrucción:



Grupo aritmético

El microprocesador 8085 contiene una Unidad Aritmética Lógica (ALU), que permite realizar operaciones aritméticas básicas y lógicas.

Las instrucciones aritméticas pueden ser: sumar, restar, incrementar o decrementar datos que se encuentran en registros del microprocesador o en alguna memoria del sistema microprocesado. A continuación se presentan las todas las instrucciones correspondientes al grupo aritmético del microprocesador 8085.

Tabla 11. Grupo de Instrucciones aritméticas del microprocesador 8085

DESCRIPCIÓN	CÓDIGO DE OPERACIÓN	NEMOTÉCNICO	BYTES DE INSTRUCCIÓN	ESTADOS	CICLOS DE MÁQUINA
SUMA REGISTROS					
Sume el Reg. B al Reg. A	80	ADD B	1	4	1

Sume el Reg. C al Reg. A	81	ADD C	1	4	1
Sume el Reg. D al Reg. A	82	ADD D	1	4	1
Sume el Reg. E al Reg. A	83	ADD E	1	4	1
Sume el Reg. H al Reg. A	84	ADD H	1	4	1
Sume el Reg. L al Reg. A	85	ADD L	1	4	1
SUMA MEMORIA					
SOWA MEMORIA					
Sume el contenido de M al Reg. A*	86	ADD M	1	7	1
SUMA INMEDIATA					
Sume data al registro A	C6	ADI data	2	7	2
	'				
SUMA REGISTRO CON ARRAS	STRE				
Cargue el Reg. A con el contenido de addr	3A	LDA addr	3	13	4
Sume el Reg. B y el acarreo al Reg. A	87	ADC B	1	4	2
Sume el Reg. C y el acarreo al Reg. A	88	ADC C	1	4	2
Sume el Reg. D y el acarreo al Reg. A	89	ADC D	1	4	2
Sume el Reg. E y el acarreo al Reg. A	8A	ADC E	1	4	2
Sume el Reg. H y el acarreo	8B	ADC H	1	4	2
al Reg. A					
al Reg. A Sume el Reg. L y el acarreo al Reg. A	8C	ADC L	1	4	2

SUMA MEMORIA CON ARRASTRE					
Sume el contenido de M y el acarreo al Reg.A*	8D	ADC M	1	7	2

SUMA INMEDIATA CON ARRASTRE					
Sume data y el acarreo al registro A	CE	ACI data	2	7	2

RESTA REGISTRO					
Reste el Reg. B del Reg. A	90	SUB B	1	4	1
Reste el Reg. C del Reg. A	91	SUB C	1	4	1
Reste el Reg. D del Reg. A	92	SUB D	1	4	1
Reste el Reg. E del Reg. A	93	SUB E	1	4	1
Reste el Reg. H del Reg. A	94	SUB H	1	4	1
Reste el Reg. L del Reg. A	95	SUB L	1	4	1
Reste el Reg. A del Reg. A	97	SUB A	1	4	1

RESTA MEMORIA					
Reste el contenido de M del Reg. A*	96	SUB M	1	7	1

RESTA INMEDIATA					
Resta data del Registro A	D6	SUI data	2	7	2

RESTA REGISTRO CON PRÉSTAMO							
Reste el Reg. B y el préstamo del Reg. A	98	SBB B	1	4	2		
Reste el Reg. C y el préstamo del Reg. A	99	SBB C	1	4	2		
Reste el Reg. D y el préstamo del Reg. A	9A	SBB D	1	4	2		
Reste el Reg. E y el préstamo del Reg. A	9B	SBB E	1	4	2		
Resta el Reg H y el préstamo del Reg. A	9C	SBB H	1	4	2		
Resta el Reg H y el préstamo del Reg. A	9D	SBB L	1	4	2		
Resta el Reg A y el préstamo del Reg. A	9F	SBB A	1	4	2		

RESTA MEMORIA CON PRÉSTA	АМО				
Resta el contenido de M. y el préstamo del Registro A	9E	SBB M	1	7	2

RESTA INMEDIATA CON PRÉS	ТАМО				
Resta data y el préstamo del Reg. A	DE	SBI data	2	7	2

INCREMENTA REGISTRO					
Incremente el Registro A	3C	INR A	1	4	1
Incremente el Registro B	04	INR B	1	4	1
Incremente el Registro C	0C	INR C	1	4	1
Incremente el Registro D	14	INR D	1	4	1
Incremente el Registro E	1C	INR E	1	4	1
Incremente el Registro H	24	INR H	1	4	1
Incremente el Registro L	2C	INR L	1	4	1

INCREMENTA MEMORIA					
Incremente el contenido de M*	34	INR R	1	10	1

DECREMENTO REGISTRO					
Decremente el Registro A	3D	DCR A	1	4	1
Decremente el Registro B	05	DCR B	1	4	1
Decremente el Registro C	0D	DCR C	1	4	1
Decremente el Registro D	15	DCR D	1	4	1
Decremente el Registro E	1D	DCR E	1	4	1
Decremente el Registro H	25	DCR H	1	4	1
Decremente el Registro L	2D	DCR L	1	4	1

DECREMENTO MEMORIA					
Decremente el contenido de M*	35	DCR M	1	10	1

DECREMENTO REGISTRO					
Incremente los Registros B y C	03	INX B	1	6	1
Incremente los Registros D y E	13	INX D	1	6	1
Incremente los Registros H y L	23	INX H	1	6	1
Incremente el apuntador de la pila	33	INX SP	1	6	1

DECREMENTO REGISTRO IMP	AR				
Decremente los Registros B y C	OB	DCX B	1	6	1
Decremente los Registros D y E	1B	DCX D	1	6	1
Decremente los Registros H y L	2B	DCX H	1	6	1
Decremente el apuntador de la pila	3B	DCX SP	1	6	1

DECREMENTO REGISTRO IMPAR						
Sume los Regs. B y C a los Regs. H y L	09	DAD B	1	10	2	
Sume los Regs. D y E a los Regs. H y L	19	DAD D	1	10	2	
Sume los Regs. H y L a los Regs. H y L	29	DAD H	1	10	2	
Sume el apuntador de la pila a los Regs. H y L	39	DAD SP	1	10	2	

AJUSTE DECIMAL ACUMULAI	OOR				
Ajuste decimal a A	27	DAA	1	4	*

A continuación se caracterizan cada una de las instrucciones del grupo aritmético, anteriormente indicadas:

ADD r, (Suma Registros)

Nemotécnico	ADD B
Simbología de funcionamiento	(A) <- (A) + (r)
Modo de direccionamiento	Registro
Señalizadores afectados	Z, S, P, CY, AC
Ciclos	1
Estados	4

Descripción del funcionamiento: El registro r se suma al acumulador, y el resultado se ubica en el acumulador.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	0	0	0	0	S	S	S	
									ш

ADD m, (Suma Memoria)

Nemotécnico	ADD M
Simbología de funcionamiento	(A) <- (A) + ((H) (L))
Modo de direccionamiento	Indirecto de reg.
Señalizadores afectados	Z, S, P, CY, AC
Ciclos	2
Estados	7

Descripción del funcionamiento: El contenido de la posición de memoria, apuntada por los registros H y L, se suman al acumulador. Luego su resultado se ubica en el acumulador.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	0	0	0	0	1	1	0
			l	ll .				1 .

ADI dato, (Suma Inmediata

Nemotécnico	ADD M
Simbología de funcionamiento	(A) <- (A) + ((H) (L))
Modo de direccionamiento	Indirecto de reg.
Señalizadores afectados	Z, S, P, CY, AC
Ciclos	2
Estados	7

Descripción del funcionamiento: El segundo byte de la instrucción se suma a lo que contiene el acumulador. Este resultado se ubica en el acumulador.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	0	0	0	0	S	S	S
BYTE 2								

ADC r, (Suma Registro con arrastre)

Nemotécnico	ADC r
Simbología de funcionamiento	(A) < -(A) + (r) + (CY)
Modo de direccionamiento	Registro
Señalizadores afectados	Z, S, P, CY, AC
Ciclos	1
Estados	4

Descripción del funcionamiento: El registro r y el bit de arrastre se suman al acumulador. Este resultado se ubica en el acumulador.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	0	0	0	1	S	S	S	
---------------------	---	---	---	---	---	---	---	---	--

ADC m, (Suma memoria con arrastre)

Nemotécnico	ADC m
Simbología de funcionamiento	(A) <- (A) + ((H) (L)) + (CY)
Modo de direccionamiento	Indirecto de reg.
Señalizadores afectados	Z, S, P, CY, AC
Ciclos	2
Estados	7

Descripción del funcionamiento: El dato contenido en la dirección de memoria apuntada por los registro H y L y el contenido del señalizador CY, se suman al acumulador.. Este resultado se ubica en el acumulador.

Bytes de Instrucción:

	CÓDIGO DE OPERACIÓN	1	0	0	0	1	1	1	0	
ı			-	-	-			1		ı

ACI dato, (Suma inmediata con arrastre)

Nemotécnico	ACI dato
Simbología de funcionamiento	(A) <- (A) + (byte 2) + (CY)
Modo de direccionamiento	Inmediato
Señalizadores afectados	Z, S, P, CY, AC
Ciclos	2
Estados	7

Descripción del funcionamiento: El segundo byte de la instrucción y el señalizador CY se suman al acumulador. Este resultado se ubica en el acumulador.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	1	0	0	1	1	1	0
Dato								

SUB r, (Resta Registros)

Nemotécnico	Sub r
Simbología de funcionamiento	(A) <- (A) - (r)
Modo de direccionamiento	Registro
Señalizadores afectados	Z, S, P, CY, AC
Ciclos	1
Estados	4

Descripción del funcionamiento: El registro r se resta al acumulador. Este resultado se ubica en el acumulador. Se debe tener presente que el microprocesador utiliza la aritmética de complemento 2.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	0	0	1	0	S	S	S

SUB m, (Resta Memoria)

Nemotécnico	Sub m
Simbología de funcionamiento	(A) <- (A) – ((H)(L))
Modo de direccionamiento	Indirecto de reg.
Señalizadores afectados	Z, S, P, CY, AC
Ciclos	2
Estados	7

Descripción del funcionamiento: El dato contenido en la posición de memoria apuntada por los registro H y L, se restan del acumulador. Este resultado se ubica en el acumulador.

Bytes de Instrucción:

SUI dato, (Resta Inmediata)

Nemotécnico	SUI dato
Simbología de funcionamiento	(A) <- (A) - (byte 2)
Modo de direccionamiento	Registro
Señalizadores afectados	Z, S, P, CY, AC
Ciclos	1
Estados	4

Descripción del funcionamiento: El segundo byte de la instrucción se resta al acumulador. Este resultado se ubica en el acumulador.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	0	0	0	0	S	S	S	
---------------------	---	---	---	---	---	---	---	---	--

SBB r, (Registro con préstamo)

Nemotécnico	SBB r
Simbología de funcionamiento	(A) <- (A) - (r) - (CY)
Modo de direccionamiento	Registro
Señalizadores afectados	Z, S, P, CY, AC
Ciclos	1
Estados	4

Descripción del funcionamiento: El registro r y el señalizador CY, ambos, se restan del acumulador. Este resultado se ubica en el acumulador.

CÓDIGO DE OPERACIÓN	1	0	0	1	1	S	S	S
---------------------	---	---	---	---	---	---	---	---

SBB m, (Resta memoria con préstamo)

Nemotécnico	SBB m
Simbología de funcionamiento	(A) <- (A) - (H)(L) - (CY)
Modo de direccionamiento	Indirecto de reg.
Señalizadores afectados	Z, S, P, CY, AC
Ciclos	2
Estados	7

Descripción del funcionamiento: Los datos contenidos en la posición de memoria, apuntada por los registros H y L y lo que contiene el señalizador CY, se restan del acumulador. Este resultado se ubica en el acumulador.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN (36H)	1	1	0	1	1	1	1	0
Dato								

INR r, (Incrementa Registro)

Nemotécnico	INR r
Simbología de funcionamiento	(r) <- (r) + 1
Modo de direccionamiento	Registro
Señalizadores afectados	Z, S, P, AC
Ciclos	1
Estados	4

Descripción del funcionamiento: El registro r se incrementa en uno. Todos los señalizadores serán afectados excepto CY.

CÓDIGO DE OPERACIÓN	0	0	D	D	D	1	0	0
---------------------	---	---	---	---	---	---	---	---

INR m, (Incrementa Memoria)

Nemotécnico	INR m - 1
Simbología de funcionamiento	(H)(L) <- ((H)(L)) + 1
Modo de direccionamiento	Indirecto de reg.
Señalizadores afectados	Z, S, P, AC
Ciclos	3
Estados	10

Descripción del funcionamiento: El dato contenido en la posición de memoria, apuntada por lo registros de H y L, se incrementará en uno. Los señalizadores son afectados a excepción de CY.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	0	0	1	1	0	1	0	0	
---------------------	---	---	---	---	---	---	---	---	--

DCR r, (Decrementar Registro)

Nemotécnico	DCR r
Simbología de funcionamiento	(r) <- (r) – 1
Modo de direccionamiento	Registro
Señalizadores afectados	Z, S, P, AC
Ciclos	1
Estados	4

Descripción del funcionamiento: El registro r se decrementa en 1. Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	0	0	D	D	D	1	0	1
		l .	l .	ll .				

DCR m, (Decrementa memoria)

Nemotécnico	DCR m
Simbología de funcionamiento	(r) <- (r) – 1
Modo de direccionamiento	Indirecto de reg.
Señalizadores afectados	Z, S, P, AC
Ciclos	3
Estados	10

Descripción del funcionamiento: El dato contenido en la posición de memoria apuntada por los registros de memoria H y L, se decrementará en 1.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	0	0	1	1	0	1	0	ı	
---------------------	---	---	---	---	---	---	---	---	--

INX rp, (Incrementa registro par)

Nemotécnico	INX pr.
Simbología de funcionamiento	(rh)(rl) <- (rh)(rl) + 1
Modo de direccionamiento	Registro
Señalizadores afectados	Ninguno
Ciclos	1
Estados	6

Descripción del funcionamiento: El registro para rp, se incrementa en 1.

Bytes de Instrucción:

DCX rp, (Decrementa registro par)

Nemotécnico	DCX pr.
Simbología de funcionamiento	(rh)(rl) <- (rh)(rl) - 1
Modo de direccionamiento	Registro
Señalizadores afectados	Ninguno
Ciclos	1
Estados	6

Descripción del funcionamiento: El registro par de rp es decrementado en uno.

CÓDIGO DE OPERACIÓN	0	0	R	Р	1	0	1	1	
---------------------	---	---	---	---	---	---	---	---	--

DAD rp,	(Suma	registro	par	a H y	L)
1 ,	(- 6	T)	,

Nemotécnico	DAD rp.
Simbología de funcionamiento	(H)(L) < -(H)(L) + (rH)(rL)
Modo de direccionamiento	Registro
Señalizadores afectados	CY
Ciclos	3
Estados	10

Descripción del funcionamiento: El contenido de registro par rp, se suma al contenido de los registro H y L. El resultado se ubica en el registro par H y L.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN 0 0 R P 1 0 0 1

DAA (Ajuste decimal acumulador)

Nemotécnico	DAA
Simbología de funcionamiento	-
Modo de direccionamiento	Implicado
Señalizadores afectados	Z, S, P, CY, AC
Ciclos	1
Estados	4

Descripción del funcionamiento: El número de ocho bits del acumulador se ajusta para formar dos dígitos decimales codificados en binario de cuatro bits. Considerado por el siguiente proceso.

- 1. Si el valor de los 4 bits menos significativos del acumulador es mayor a 9 o si el señalizador AC está en 1, se suma 6 al acumulador.
- 2. Si el valor de los 4 bits más significativos del acumulador es mayor que 9, se suma 6 bits a los 4 bits más significativos del acumulador.

CÓDIGO DE OPERACIÓN	0	0	1	0	0	1	1	1	•
---------------------	---	---	---	---	---	---	---	---	---

Grupo lógico

El grupo de instrucciones lógicas del microprocesador 8085 está compuesto por conjunción (AND), disyunción (OR), disyunción exclusiva (XOR), comparación y otras.

En la Tabla 12, se han detallado cada una de las instrucciones que corresponden al grupo lógico del microprocesador 8085, indicando su código de operación, los bytes de instrucción, número de estados y ciclos de máquina correspondientes.

Tabla 12: Grupo de Instrucciones lógicas del microprocesador 8085

DESCRIPCIÓN	CÓDIGO DE OPERACIÓN	NEMOTÉCNICO	BYTES DE INSTRUCCIÓN	ESTADOS	CICLOS DE MÁQUINA
ANA r (AND REGISTRO)					
Haga un AND lógico entre Reg. B y Reg. A	A0	ANA B	1	4	1
Haga un AND lógico entre Reg. C y Reg. A	A1	ANA C	1	4	1
Haga un AND lógico entre Reg. D y Reg. A	A2	ANA D	1	4	1
Haga un AND lógico entre Reg. E y Reg. A	А3	ANA E	1	4	1
Haga un AND lógico entre Reg. H y Reg. A	A4	ANA H	1	4	1
Haga un AND lógico entre Reg. L y Reg. A	A5	ANA L	1	4	1
Haga un AND lógico entre Reg. A y Reg. A	A7	ANA A	1	4	1

ANA M (AND Memoria)					
Haga un AND lógico entre el contenido de M y el Reg. A*	A6	ANA M	1	7	2

ANI dato (AND Inmediato)					
Haga un AND lógico entre data y Reg. A	E6	ANI data	2	7	2

XRA r (OR exclusivo Registro)					
Haga un OR Exclusivo entre Reg. B y Reg. A	A8	XRA B	1	4	1
Haga un OR Exclusivo entre Reg. C y Reg. A	A9	XRA C	1	4	1
Haga un OR Exclusivo entre Reg. D y Reg. A	AA	XRA D	1	4	1
Haga un OR Exclusivo entre Reg. E y Reg. A	AB	XRA E	1	4	1
Haga un OR Exclusivo entre Reg. H y Reg. A	AC	XRA H	1	4	1
Haga un OR Exclusivo entre Reg. L y Reg. A	AD	XRA L	1	4	1
Haga un OR Exclusivo entre Reg. A y Reg. A	AF	XRA A	1	4	1
XRA M (OR exclusivo Memori	a)				
Haga un OR Exclusivo entre el contenido de M y el Reg. A*	AE	XRA M	1	7	2
		1	1	ı	
XRI dato (OR exclusivo Inmed	liato)				
Haga un OR Exclusivo entre data y Reg. A	EE	XRI data	2	7	2
ORA r (OR registro)					
Haga un OR lógico entre Reg. B y Reg. A	В0	ORA B	1	4	1
Haga un OR lógico entre Reg. C y Reg. A	B1	ORA C	1	4	1
Haga un OR lógico entre Reg. D y Reg. A	B2	ORA D	1	4	1
Haga un OR lógico entre Reg. E y Reg. A	В3	ORA E	1	4	1
Haga un OR lógico entre Reg. H y Reg. A	B4	ORA H	1	4	1
Haga un OR lógico entre Reg. L y Reg. A	B5	ORA L	1	4	1
		 			

Haga un OR lógico entre Reg. A y Reg. A

В7

ORA A

1

4

1

					-	
ORA M (OR Memoria)						
Haga un OR lógico entre el contenido de M y el Reg. A*	В6	ORA M	1	7	2	
ORI dato (OR Inmediato)						
Haga un OR lógico entre data y Reg. A	F6	ORI data	2	7	2	
CMP r (Compara Registro)						
Compare Registro B con Registro A	B8	СМР В	1	4	1	
Compare Registro C con Registro A	В9	CMP C	1	4	1	
Compare Registro D con Registro A	BA	CMP D	1	4	1	
Compare Registro E con Registro A	ВВ	CMP E	1	4	1	
Compare Registro H con Registro A	ВС	СМРН	1	4	1	
Compare Registro L con Registro A	BD	CMP L	1	4	1	
Compare Registro B con Registro A	BF	CMP A	1	4	1	
CMP M (Compara Memoria)						
Compare el contenido de M con el Reg. A*	BE	CMP M	1	7	2	
CPI dato (Comparación Inmediata)						
Compare data con Reg. A	FE	CPI data	2	7	2	
RLC (Desplazamiento circular	a la Izquierda))				
Rotar el Registro A a la izquierda	07	RLC	1	4	1	

1

Rotar el Registro A a la derecha	OF	RRC	1	4	1
RAL (Desplazamiento circular	a la izquierda	a través del arrasti	re)		
Rotar el Reg. A a la izq. con acarreo	17	RAL	1	4	1
RAR (Desplazamiento circular	a la derecha 1	ravés del arrastre)			
RAR (Desplazamiento circular Rotar el Reg. A a la der. con acarreo	a la derecha t	ravés del arrastre) RAR	1	4	1
Rotar el Reg. A a la der. con				4	1
Rotar el Reg. A a la der. con	1F			4	1
Rotar el Reg. A a la der. con acarreo	1F			4	1
Rotar el Reg. A a la der. con acarreo	1F lador)	RAR	1		

STC (Pone a I el arrastre)					
Fijar la bandera e acarreo	37	STC	1	4	1

CMC

1

3F

A continuación, se caracteriza cada una de las instrucciones del grupo lógico del microprocesador 8085, anteriormente indicadas.

ANA r (AND registro)

Complementar la bandera

de acarreo

Nemotécnico	ANA r
Simbología de funcionamiento	$(A) \leftarrow (A) \land (r)$
Modo de direccionamiento	Registro
Señalizadores afectados	Z,S,P,CY,AC
Ciclos	1
Estados	4

Descripción del funcionamiento: Realiza la operación lógica AND entre el contenido del Acumulador y el registro r.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	0	1	0	0	S	S	S	
---------------------	---	---	---	---	---	---	---	---	--

ANA M (AND Memoria)

Nemotécnico	ANA M
Simbología de funcionamiento	$(A) \leftarrow (A) \land ((H)(L))$
Modo de direccionamiento	Indirecto de Registro
Señalizadores afectados	Z,S,P,CY,AC
Ciclos	2
Estados	7

Descripción del funcionamiento: Realiza la operación lógica AND entre el contenido del acumulador y el valor ubicado en la dirección de memoria que se especifica en los registros H y L. El resultado se almacena en el acumulador.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN 1	0	1	0	0	1	1	0
-----------------------	---	---	---	---	---	---	---

ANI dato (AND Inmediato)

Nemotécnico	ANI dato
Simbología de funcionamiento	(A) ← (A) ^ (byte 2)
Modo de direccionamiento	Inmediato
Señalizadores afectados	Z,S,P,CY,AC
Ciclos	2
Estados	7

Descripción del funcionamiento: Realiza la operación lógica AND entre el valor contenido en el acumulador y el contenido del segundo byte de la instrucción, almacenando el resultado luego en el acumulador.

CÓDIGO DE OPERACIÓN	1	1	1	0	0	1	1	0
BYTE 2				DA	то			

ORA r (OR registro)

Nemotécnico	ORA r
Simbología de funcionamiento	$(A) \leftarrow (A) \ V \ (r)$
Modo de direccionamiento	Registro
Señalizadores afectados	Z,S,P,CY,AC
Ciclos	1
Estados	4

Descripción del funcionamiento: Realiza la operación lógica OR inclusiva entre el contenido del acumulador y el contenido de un registro especificado en la instrucción. El resultado se almacena luego en el Acumulador.

Bytes de Instrucción:

ORA M (OR Memoria)

Nemotécnico	ORA M
Simbología de funcionamiento	(A) ← (A) V ((H)(L))
Modo de direccionamiento	Indirecto de Registro
Señalizadores afectados	Z,S,P,CY,AC
Ciclos	2
Estados	7

Descripción del funcionamiento: Realiza la operación lógica OR inclusiva entre el contenido del acumulador y el valor ubicado en la dirección de memoria que se especifica en los registros H y L. El resultado se almacena luego en el Acumulador.

CÓDIGO DE OPERACIÓN 1	0	1	1	0	1	1	0
-----------------------	---	---	---	---	---	---	---

ORI dato (OR Inmediato)

Nemotécnico	ORI dato
Simbología de funcionamiento	(A) ← (A) V (byte 2)
Modo de direccionamiento	Inmediato
Señalizadores afectados	Z,S,P,CY,AC
Ciclos	2
Estados	7

Descripción del funcionamiento: Realiza la operación lógica OR inclusiva entre el segundo byte de la instrucción y el contenido del acumulador, almacenando el resultado luego en el acumulador.

Bytes de instrucción:

CÓDIGO DE OPERACIÓN	1	1	1	1	0	1	1	0
BYTE 2				DA	то			

XRA r (OR Exclusiva registro)

Nemotécnico	XRA r
Simbología de funcionamiento	(A) ← (A) ∀ (r)
Modo de direccionamiento	Registro
Señalizadores afectados	Z,S,P,CY,AC
Ciclos	1
Estados	4

Descripción del funcionamiento: Realiza la operación lógica OR exclusiva entre el contenido del registro y el contenido del acumulador. El resultado luego se almacena en el Acumulador.

CÓDIGO DE OPERACIÓN	1	0	1	0	1	S	S	S	
---------------------	---	---	---	---	---	---	---	---	--

XRA M (OR Exclusiva memoria)

Nemotécnico	XRA M
Simbología de funcionamiento	$(A) \leftarrow (A) \ \forall \ ((H)(L))$
Modo de direccionamiento	Indirecto de Registro
Señalizadores afectados	Z,S,P,CY,AC
Ciclos	2
Estados	7

Descripción del funcionamiento: Realiza la operación lógica OR exclusiva entre el contenido de la posición de memoria, cuya dirección está contenida en los registros H y L, con el contendió del acumulador. Luego el resultado se almacena en el Acumulador.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	0	1	0	1	1	1	0	
---------------------	---	---	---	---	---	---	---	---	--

XRI Dato (OR Exclusiva inmediata)

Nemotécnico	XRI Dato
Simbología de funcionamiento	(A) ← (A) [∀] (byte 2)
Modo de direccionamiento	Inmediato
Señalizadores afectados	Z,S,P,CY,AC
Ciclos	2
Estados	7

Descripción del funcionamiento: Realiza la operación lógica OR exclusiva entre el valor contenido en el acumulador y el contenido del segundo byte de la instrucción, almacenando el resultado luego en el acumulador.

CÓDIGO DE OPERACIÓN	1	1	1	0	1	1	1	0
BYTE 2				DA	OTA			

CMP r (Compara registro)

Nemotécnico	CPM r
Simbología de funcionamiento	(A) – (r)
Modo de direccionamiento	Registro
Señalizadores afectados	Z,S,P,CY,AC
Ciclos	1
Estados	4

Descripción del funcionamiento: Se resta el contenido del registro r con el Acumulador. El acumulador no se altera, pero los señalizadores cambian de la siguiente manera: Z= 1, si el contenido de A es igual al contenido de r; CY= 1, si el contenido de A es menor al contenido de r.

Bytes de instrucción:

CÓDIGO DE OPERACIÓN	1	0	1	1	1	S	S	S	
---------------------	---	---	---	---	---	---	---	---	--

CPI Dato (Comparación inmediata)

Nemotécnico	CPI dato
Simbología de funcionamiento	(A) – (byte 2)
Modo de direccionamiento	Inmediato
Señalizadores afectados	Z,S,P,CY,AC
Ciclos	2
Estados	7

Descripción del funcionamiento: Realiza la operación de comparación, entre el contenido del segundo byte de la instrucción y el acumulador. El contenido del segundo byte de la instrucción es restado del acumulador.

CÓDIGO DE OPERACIÓN	1	1	1	1	1	1	1	0
BYTE 2	DATO							

CMP M (Compara memoria)

Nemotécnico	CMP M
Simbología de funcionamiento	(A) - ((H) (L))
Modo de direccionamiento	Indirecto de Registro
Señalizadores afectados	Z,S,P,CY,AC
Ciclos	2
Estados	7

Descripción del funcionamiento: Realiza la operación de comparación, entre el contenido de la posición de memoria, cuya dirección está contenida en los registros H y L, con el contenido del acumulador. El contenido de la posición de memoria es restado del acumulador.

Bytes de instrucción:

CÓDIGO DE OPERACIÓN	1	0	1	1	1	1	1	0	
---------------------	---	---	---	---	---	---	---	---	--

RLC (Desplazamiento circular a la izquierda)

Nemotécnico	RLC
Simbología de funcionamiento	$(A_{n+1}) \leftarrow (A_n); (A_0) \leftarrow (A_7)$
Modo de direccionamiento	(CY)←(A ₇)
Señalizadores afectados	CY
Ciclos	1
Estados	4

Descripción del funcionamiento: Se realiza una operación de desplazamiento circular a la izquierda, donde todos los bits del acumulador son desplazados a la izquierda una posición. El bit menos significativo del Acumulador (A_0) y el señalizador CY contendrán luego de la instrucción, el bit más significativo del Acumulador (A_7) .

CÓDIGO DE OPERACIÓN	0	0	0	0	1	1	1	1
---------------------	---	---	---	---	---	---	---	---

1110 1DCSD1aZaiiiiCiito Cii Caiai a la aci Cciic	RRC ((Desplazamiento	circular	a la	derecha
--	-------	-----------------	----------	------	---------

Nemotécnico	RLC
Simbología de funcionamiento	$(A_n) \leftarrow (A_{n+1}); (A_7) \leftarrow (A_0)$ $(CY) \leftarrow (A_0)$
Señalizadores afectados	Ninguno
Ciclos	1
Estados	4

Descripción del funcionamiento: Se realiza una operación de desplazamiento circular a la derecha, donde todos los bits del acumulador son desplazados a la derecha una posición. El bit más significativo del Acumulador (A7) y el señalizador CY contendrán luego de la instrucción, el bit menos significativo del Acumulador (A0).

Bytes de instrucción:

CÓDIGO DE OPERACIÓN	0	0	0	0	1	1	1	1
CODIGO DE OI ENINCION	ľ	١ ٠	ľ	~		Ι'.		

RAL (Desplazamiento circular a la izquierda a través de la arrastre)

Nemotécnico	RAL
Simbología de funcionamiento	$(A_{n+1}) \leftarrow (A_n); (CY) \leftarrow (A_7)$ $(A_0) \leftarrow (CY)$
Señalizadores afectados	CY
Ciclos	1
Estados	4

Descripción del funcionamiento: Se realiza una operación de desplazamiento circular a la izquierda, donde todos los bits del acumulador son desplazados a la izquierda una posición, circularmente a través del señalizador CY. El bit menos significativo del Acumulador (A0), tomará el valor que tenía CY, y el señalizador CY contendrá luego de la instrucción, el bit más significativo del Acumulador (A7).

_									
	CÓDIGO DE OPERACIÓN	0	0	0	1	0	1	1	1

RAR (Desplazamiento circular a la derecha a través de la arrastre)

Nemotécnico	RAR
Simbología de funcionamiento	$(A_n) \leftarrow (A_{n+1}); (CY) \leftarrow (A_0)$ $(A_7) \leftarrow (CY)$
Señalizadores afectados	CY
Ciclos	1
Estados	4

Descripción del funcionamiento: Se realiza una operación de desplazamiento circular a la derecha, donde todos los bits del acumulador son desplazados a la derecha una posición circularmente a través del señalizador CY. El valor de CY es desplazado hacia el bit más significativo del acumuldor (A7), luego los bits desde A7 hasta A1 se desplazan una posición hacia la derecha; y finalmente el bit menos significativo A0 es desplazado hacia CY.

Bytes de instrucción:

CÓDIGO DE OPERACIÓN	0	0	0	1	1	1	1	1	
---------------------	---	---	---	---	---	---	---	---	--

CMA (Complementa el Acumulador)

Nemotécnico	CMA
Simbología de funcionamiento	$(A) \leftarrow (\tilde{A})$
Señalizadores afectados	Ninguno
Ciclos	1
Estados	4

Descripción del funcionamiento: El contenido del acumulador es complementado, es decir los bits "0" se hacen "1" y los "1" se hacen "0". Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	0	0	1	0	1	1	1	1	
---------------------	---	---	---	---	---	---	---	---	--

STC (Pone a 1 el arrastre)

Nemotécnico	STC
Simbología de funcionamiento	(CY) ← 1

Señalizadores afectados	CY
Ciclos	1
Estados	4

Descripción del funcionamiento: Ningún señalizador se afecta, a excepción del CY que se convierte en 1.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	0	0	1	1	0	1	1	1	
---------------------	---	---	---	---	---	---	---	---	--

CMC (Complementa arrastre)

Nemotécnico	CMC
Simbología de funcionamiento	(CY) ←(-CY)
Señalizadores afectados	CY
Ciclos	1
Estados	4

Descripción del funcionamiento: Ningún señalizador se afecta, a excepción del CY que se complementa, es decir si es "0" se hace 1 y viceversa.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	0	0	1	1	1	1	1	1
		-		'				

Grupo de bifurcación

A continuación se presenta el grupo de instrucciones del microprocesador 8085, que corresponden a las instrucciones de bifurcación o saltos, los mismos que pueden ser incondicionales, condicionales, o de llamadas a subrutinas, que también pueden ser incondicionales o condicionales.

Los saltos o llamadas a subrutinas incondicionales, realizan su operación sin necesidad de ninguna comparación. En cambio, las condicionales verificarán previamente, dependiendo de la instrucción, los bits de estado o señalizadores, para determinar si se ejecuta o no dicha instrucción.

En la Tabla 13, se detallan cada una de las instrucciones correspondientes al grupo de bifurcación del microprocesador 8085.

Tabla 13. Grupo de Instrucciones de bifurcación del microprocesador 8085

DESCRIPCIÓN	CÓDIGO DE OPERACIÓN	NEMOTÉCNICO	BYTES DE INSTRUCCIÓN	ESTADOS	CICLOS DE MÁQUINA
SALTO					
Salte incondicionalmente a la dirección	C3	JMP addr	3	10	3

SALTO CONDICIONAL					
Salte a addr si hay acarreo	DA	JC addr	3	7/10	2/3
Salte a addr si no hay acarreo	D2	JNC addr	3	7/10	2/3
Salte a addr si es cero	CA	JZ addr	3	7/10	2/3
Salte a addr si no es cero	C2	JNZ addr	3	7/10	2/3
Salte a addr si hay paridad impar	E2	JPO addr	3	7/10	2/3
Salte a addr si hay paridad par	EA	JPE addr	3	7/10	2/3
Salte a addr si el signo es positivo	F2	JP addr	3	7/10	2/3
Salte a addr si el signo es negativo	FA	JM addr	3	7/10	2/3

LLAMADA					
Llame a la subrutina de la dirección	CD	CALL addr	3	16	5

LLAMADA CONDICIONAL					
Llame a la subrutina si hay acarreo	DC	CC addr	3	9/18	2/5
Llame a la subrutina si no hay acarreo	D4	CNC addr	CNC addr 3		2/5
Llame a la subrutina si es cero	CC	CZ addr	3	9/18	2/5
Llame a la subrutina si no es cero	C4	CNZ addr	3	9/18	2/5
Llame a la subrutina si hay paridad impar	E4	CPO addr	3	9/18	2/5
Llame a la subrutina si hay paridad par	EC	CPE addr	3	9/18	2/5
Llame a la subrutina si es positivo	F4	CP addr	3	9/18	2/5
Llame a la subrutina si es negativo	FC	CM addr	3	9/18	2/5

RETORNO					
Retorne incondicionalmente	C9	RET	1	10	3

RETORNO CONDICIONAL							
Retorne si hay acarreo	D8	RC	1	6/12	1/3		
Retorne si no hay acarreo	D0	RNC	1	6/12	1/3		
Retorne si es cero	C8	RZ	1	6/12	1/3		
Retorne si no es cero	C0	RNZ	1	6/12	1/3		
Retorne si hay paridad impar	EO	RPO	1	6/12	1/3		
Retorne si hay paridad par	E8	RPE	1	6/12	1/3		
Retorne si el signo es positivo	F0	RP	1	6/12	1/3		
Retorne si el signo es negativo	F8	RM	1	6/12	1/3		

RETORNO CONDICIONAL					
Reinicie en la posición 0 de interrupción	C7	RST 0	1	12	3
Reinicie en la posición 1 de interrupción	CF	RST 1	1	12	3
Reinicie en la posición 2 de interrupción	D7	RST 2	1	12	3
Reinicie en la posición 3 de interrupción	DF	RST 3	1	12	3
Reinicie en la posición 4 de interrupción	E7	RST 4	1	12	3
Reinicie en la posición 5 de interrupción	EF	RST 5	1	12	3
Reinicie en la posición 6 de interrupción	F7	RST 6	1	12	3
Reinicie en la posición 7 de interrupción	FF	RST 7	1	12	3

TRANSFERENCIA DE H y L					
Mueva los regs. H y L al contador de programa.	E9	PCHL	1	8	

A continuación se caracterizan cada una de las instrucciones del grupo de bifurcación anteriormente indicadas.

JMP addr (Salto)

Nemotécnico	JMP addr
Simbología de funcionamiento	(PC) ← ((byte 3)(byte 2))
Modo de direccionamiento	Inmediato
Señalizadores afectados	Ninguno
Ciclos	3
Estados	10

Descripción del funcionamiento: Al ejecutarse esta instrucción, el contador de programa del microprocesador se carga con los byte 2 y 3 de la instrucción, de tal manera que deja de realizar lo que se encontraba ejecutando en el momento previo a la instrucción, para ejecutar lo que se indique en la nueva dirección apuntada por el contador de programa.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	1	0	0	0	0	1	1
BYTE 2	DIRECCIÓN DE ORDEN INFERIOR							
BYTE 3	DIRECCIÓN DE ORDEN SUPERIOR							

JCondition addr (Salto condicional)

Nemotécnico	JCondition addr
Simbología de funcionamiento	If (CCC) (PC) ← ((byte 3)(byte 2))
Modo de direccionamiento	Inmediato
Señalizadores afectados	Ninguno
Ciclos	2/3
Estados	7/10

Descripción del funcionamiento: Indica que si la condición (CCC) es verdadera, se pasa el control a la instrucción que tiene su dirección en los bytes 2 y 3 de la instrucción que se ejecuta en ese momento. De no ser así, el control se dará secuencialmente.

CÓDIGO DE OPERACIÓN	1	1	С	С	С	0	1	0
BYTE 2	DIRECCIÓN DE ORDEN INFERIOR							
BYTE 3	DIRECCIÓN DE ORDEN SUPERIOR							

CALL addr (Llamada)

Nemotécnico	CALL addr
Simbología de funcionamiento	$((SP) - 1) \leftarrow (PCH)$ $((SP) - 2) \leftarrow (PCL)$ $(SP) \leftarrow (SP) - 2$ $(PC) \leftarrow (byte 3)(byte 2)$
Modo de direccionamiento	inmediato/indirecto de registro
Señalizadores afectados	Ninguno
Ciclos	5
Estados	18,17

Descripción del funcionamiento: CALL es una instrucción muy similar al salto condicional, excepto porque guarda en la pila la dirección hacia dónde apunta el contador de programa (PC); esto conlleva a que, al finalizar la subrutina, se pueda seguir con el programa, ejecutándose desde el mismo punto en el que se quedó suspendido. El byte más significativo del contador de programa se almacena en la posición anterior a la que apunta el puntero de pila (SP) y el byte menos significativo del contador de programa se guarda dos posiciones previas, quedando SP disminuido 2 unidades.

Cumplido el proceso de almacenaje en la pila de la dirección a la que tiene que retornar el microprocesador y luego de cumplirse la instrucción de llamada a subrutina, se procede a cargar el contador de programa con los bytes 2 y byte 3 de la instrucción CALL, para de ésta manera poder dirijirse a la dirección correspondiente de llamada a subrutina programada.

Al final de la subrutina, debe constar la instrucción RET o Rece, indicando que ha terminado la ejecución de la subrutina y automáticamente se extrae el valor del contador de programa de la pila, permitiendo que siga la ejecución del programa principal desde el punto en el que se interrumpió por la llamada a subrutina.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	1	0	0	1	1	0	1	
BYTE 2	DIRECCIÓN DE ORDEN INFERIOR								
BYTE 3	DIRECCIÓN DE ORDEN SUPERIOR								

Ccondition addr (Llamada condicional)

Nemotécnico	CCondition addr
Simbología de funcionamiento	$\begin{aligned} &\text{if (CCC)}\\ &\text{((SP) - 1)} \leftarrow (\text{PCH)}\\ &\text{((SP) - 2)} \leftarrow (\text{PCL)}\\ &\text{(SP)} \leftarrow (\text{SP)} - 2\\ &\text{(PC)} \leftarrow (\text{byte 3)(byte 2)} \end{aligned}$
Modo de direccionamiento	inmediato/indirecto de registro
Señalizadores afectados	Ninguno
Ciclos	2/5
Estados	9/18

Descripción del funcionamiento: La secuencia del programa se transfiere a la dirección de 16 bits, conformada por los bytes 2 y 3 de la instrucción, siempre y cuando la bandera de condición que se haya establecido se active. El microprocesador lleva a cabo procesos similares a los indicados en la instrucción CALL, respecto al almacenaje y posterior recuperación del contador de programa, al momento de ejecutarse la instrucción.

CÓDIGO DE OPERACIÓN	1	1	С	С	С	1	0	0	
BYTE 2	DIRECCIÓN DE ORDEN INFERIOR								
BYTE 3	DIRECCIÓN DE ORDEN SUPERIOR								

RET (Vuelta)

Nemotécnico	RET
Simbología de funcionamiento	(PCL) ← ((SP)) (PCH)← ((SP) +1) (SP)← (SP) +2
Modo de direccionamiento	Indirecto de registro
Señalizadores afectados	Ninguno
Ciclos	3
Estados	10

Descripción del funcionamiento: Lo que está en la dirección de memoria apuntada por el registro SP es trasladado al byte de orden inferior del registro PC. A su vez, el contenido de la ubicación en memoria que tiene una dirección con una unidad mayor al contenido del registro SP, es trasladado al byte de orden superior del registro PC. Finalmente el registro SP aumenta en 2 unidades

Bytes de Instrucción:

|--|

RCondition (Vuelta condicional)

Nemotécnico	RCondition
Simbología de funcionamiento	$\begin{aligned} &\text{If (CCC),}\\ &\text{(PCL)} \leftarrow \text{((SP)}\\ &\text{(PCH)} \leftarrow \text{((SP)} + 1)\\ &\text{(SP)} \leftarrow \text{(SP)} + 2 \end{aligned}$
Modo de direccionamiento	Indirecto de registro
Señalizadores afectados	Ninguno
Ciclos	1/3
Estados	6/12

Descripción del funcionamiento: La secuencia del programa se transfiere a la dirección de 16 bits, que previamente al ejecutarse una instrucción CALL o Cccc, fue almacenada en la pila; siempre y cuando la bandera de condición que se haya establecido se active. El microprocesador lleva a cabo procesos similares a los indicados en la RET,

respecto a la recuperación en la pila de la dirección que debe cargarse en el PC, para culminar con la ejecución de la instrucción.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	1	С	С	С	0	0	0	
---------------------	---	---	---	---	---	---	---	---	--

RST n (Rearrancar)

Nemotécnico	RST 1
Simbología de funcionamiento	((SP)-1) ← ((PCH)); ((SP)-2) ← ((PCL)); (SP) ← (SP) - 2; (PC) ← 8*(NNN);
Modo de direccionamiento	Indirecto de registro.
Señalizadores afectados	Ninguno
Ciclos	3
Estados	12

Descripción del funcionamiento: El contenido del registro SP es decrementado en dos. El control es transferido a la instrucción cuya dirección es ocho veces el contenido de NNN.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	1	N	N	N	1	1	1	
---------------------	---	---	---	---	---	---	---	---	--

PCHL n (Salta indirecto H y L - transfiere H y L a PC)

Nemotécnico	PCHL
Simbología de funcionamiento	$ (PCH) \leftarrow (H) \\ (PCL) \leftarrow (L) $
Modo de direccionamiento	De registro.
Señalizadores afectados	Ninguno
Ciclos	1
Estados	6

Descripción del funcionamiento: El contenido de los registros H y L son copiados directamente en el contador de programa (PC), ubicándose H en la dirección de orden superior y L en la dirección de orden inferior

del contador de programa; permitiendo de esta manera que la secuencia de ejecución del programa salte a la posición de memoria que indican H y L.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	1	1	0	1	0	0	1	
---------------------	---	---	---	---	---	---	---	---	--

Ejemplos de instrucciones del grupo de bifurcación, analizadas con el Simulador 8085

Ejemplo 2 - 29

JMP addr (Salto)

Determinación de los bytes de instrucción, ciclos de máquina y ejecución de la instrucción: JMP 0013H

Solución

1. Determinación de los bytes de instrucción

Dado que la instrucción JMP 0013H tiene 3 bytes de operación (C3H), estos se dividirán así: el primer byte contiene el código de operación de la instrucción C3H, el siguiente byte contendrá los bits de orden inferior de la dirección que se llamará (13H), y en el último byte estarán contenidos los bits de orden superior de la dirección a llamar (00H); por lo tanto juntos darán la dirección de memoria 0013H:

Dirección de orden inferior = 13H Dirección de orden superior = 00H

CÓDIGO DE OPERACIÓN (C3H)	1	1	0	0	0	0	1	1
BYTE 2 (13H)	0	0	0	1	0	0	1	1
BYTE 3 (00H)	0	0	0	0	0	0	0	0

2. Determinación de los ciclos de máquina

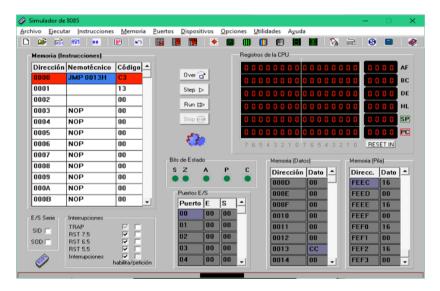
Considerando la lógica en la ejecución de la instrucción, se poseen 3 ciclos de máquina:

- a. Búsqueda del código de operación (Opcode fetch)
- b. Lectura de Memoria (Lectura de Byte 2)
- c. Lectura de Memoria (Lectura de Byte 3)

3. Ejecución de la instrucción

Antes: Como se puede observar en la figura 28, el código de operación de la instrucción es C3H ubicado en la dirección de memoria 0000H, utiliza como dirección de salto a la 0013H que se encuentra dividida entre los Byte 2 y 3 de la instrucción.

Figura 28. Antes de la ejecución de la instrucción JMP 0013H.



Después: Una vez ejecutada la instrucción, se puede observar cómo el registro PC cambia directamente a la dirección especificada en la instrucción que es la 0013H, a la que apuntará esta dirección, tal como se puede observar en la figura 29.

Archivo Ejecutar Instrucciones Memoria Puertos Dispositivos Opciones Utilidades Ayuda Registros de la CPU Memoria (Instrucciones) Dirección Nemotécnico Código Over 🔐 CZ 0000H 0014 NOP 00 Step D DE 0015 NOP 00 Run 않⊳ HL 0016 NOP 00 SP 0017 NOP 00 0018 NOP 00 0019 NOP 00 RESET IN NN1A NOP nn Bits de Estado Memoria (Datos) NOP 001B s z Dirección Dato Direcc. Dato 001C 0000 NN1D NOP Puertos E/S 000E 00 0001 001E NOP 00 Puerto E S OOOF 00 0002 00 00 0010 00 0003 00 E/S Serie nn nn TRAP 0011 00 0004 00 SID F RST 7.5 00 00 0012 00 0005 00 SOD **RST 6.5** 03 00 00 0013 0006 00 **BST 5.5** habilita/petición Interrupciones 00 00 0014 00 0007 00

Figura 29. Después de la ejecución de la instrucción JMP 0013H

Ejemplo 2 - 30

CALL addr (Llamada)

Determinación de los bytes de instrucción, ciclos de máquina y ejecución de la instrucción: CALL 0005H.

Solución

1. Determinación de los bytes de instrucción

Dado que la instrucción CALL 0005H tiene 3 bytes de operación, éstos se dividirán así: el primer byte contiene el código de operación de la instrucción, el siguiente byte contendrá los bits de orden inferior de la dirección (05H), en el último byte estarán contenidos los bits de orden superior de la dirección (00H), por lo tanto, se obtendrán los valores en binario de la dirección:

Dirección de orden inferior = 05H Dirección de orden superior = 00H

CÓDIGO DE OPERACIÓN (CDH)		1	0	0	1	1	0	1
BYTE 2 (05H)	0	0	0	0	0	1	0	1
BYTE 3 (00H)	0	0	0	0	0	0	0	0

2. Determinación de los ciclos de máquina

Considerando la lógica en la ejecución de la instrucción se poseen 5 ciclos de máquina:

- a. Búsqueda del código de operación (Opcode fetch)
- b. Escritura de Memoria (Escritura del PCH en pila)
- c. Escritura de Memoria (Escritura del PCL en pila)
- d. Lectura de Memoria (Lectura de Byte 2)
- e. Lectura de Memoria (Lectura de Byte 3)

3. Ejecución de la instrucción

Antes: Como se puede observar en la figura 30, el código de operación de la instrucción es CDH que se encuentra en la dirección de memoria 0000H.

La instrucción está preparada para ejecutarse y llamar a la subrutina que se encuentra en la dirección 0005H

Simulador de 8085 Archivo Ejecutar Instrucciones Memoria Puertos Dispositivos Opciones Utilidades Ayuda □ 😅 😭 891 🐽 📭 🔊 os de la CPU Memoria (Instrucciones) Dirección Nemotécnico Código Over 🔓 BC 0001 05 Step ▷ DE 0002 00 Run t≎⊳ 0003 NOP nn SP 0004 NOP 00 NOP 00 PC 0006 NOP 00 0007 NOP 00 Memoria (Datos) Memoria (Pila) 0008 NOP 00 Dirección Dato Direcc. Dato nnna NOP nn CD FFF8 000A NOP 00 Puertos E/S 0001 05 FFF9 000B NOP 00 Puerto E s 0002 00 FFFA 00 0003 FFFB 00 0004 00 SID F RST 7.5 RST 6.5 FFFD SODI 00 FFFE 0007 00 FFFF habilita/petición

Figura 30. Antes de la ejecución de la instrucción CALL 0005H.

Después: Una vez ejecutada la instrucción se puede ver como el PC saltó a la dirección 0005H, la cual es la llamada a la subrutina. En este caso la memoria de pila almacenada en PC, que continuaba antes de generarse la llamada que es el valor 0003H es segmentado de la siguiente manera: en la posición FFFFH de la pila se encuentra el dato 00H y en la posición FFFEH el dato 03H; y el registro SP almacena la dirección FFFEH, tal como se puede observar en la figura 31.

Simulador de 8085 Memoria Puertos Dispositivos Opcio Registros de la CPU Memoria (Instrucciones) Dirección Nemotécnico Código . Over 🔐 CD CALL 0005H BC: 0001 05 Step ▷ 0002 00 Run 않⊳ HL 0003 NOP 00 NOP 00 SP 0004 NOF £ 30 annn NOP 00 0007 NOP 00 Rito de Estado กกกล NOP nn Dirección Dato 📤 Direcc. Dato nnna NOP nn CD FFF8 00 000A 00 Puertos E/S 0001 05 00 000B NOP 00 Puerto E s 0002 00 FFFA 00 00 00 0003 nn **FFFB** EZS Serie nn 00 00 TRAP SID I RST 7.5 RST 6.5 S S 00 00 SODI nn RST 5.5 nn 00 0007 00

Figura 31. Después de la ejecución de la instrucción CALL 0005H.

Determinación de los bytes de instrucción, ciclos de máquina y ejecución de la instrucción: RET

RET (Vuelta)



Ejemplo 2 - 31

1. Determinación de los bytes de instrucción

Dado que la instrucción RET tiene solamente un byte de instrucción de retorno, éste corresponderá al código de operación de la instrucción.

CODIGO DE OPERACIÓN (C9H)	1	1	0	0	1	0	0	1	
---------------------------	---	---	---	---	---	---	---	---	--

2. Determinación de los ciclos de máquina

Considerando la lógica en la ejecución de la instrucción, sus ciclos de máquina serán:

- a. Búsqueda de código de operación (Opcode fetch)
- b. Lectura de Memoria (Lectura de Memoria de Pila SP)
- c. Lectura de Memoria (Lectura de Memoria de Pila SP-1)

3. Ejecución de la instrucción

Antes: Como se puede observar en la figura 32, retomaremos el ejemplo de la instrucción Call realizado con anterioridad, el código de operación de la instrucción es C9H y se encuentra en la posición de memoria 0007H, también el registro SP tiene el dato FFFEH, y la pila de memoria tiene almacenada el dato 03H en la posición FFFEH, y el dato 00H en la posición FFFFH.

Simulador de 8085 Archivo Ejecutar Instrucciones Memoria Puertos Dispositivos Opciones Utilidades Ayuda *₽* ≥ Registros de la CPU Dirección Nemotécnico Código Over 🔐 CALL 0005H CD 0000 BC 0001 05 Step D DE 0002 00 Run t⊅ HL 00 0003 NOP 0004 NOP nn 0005 NOP nn £ 8 0006 NOP 00 Memoria (Datos) Memoria (Pila) 0008 NOP 00 Dirección Dato 📤 Direcc. Date nnna NOP 00 CD 00 πηη NOP nn Puertos E/S 05 FFF9 00 000B NOF 00 Puerto E s 0002 00 FFFA 00 00 0003 00 00 E/S Serie 00 0004 00 00 SID RST 7.5 00 0005 00 FFFD 00 SODI 03 00 9000 00 BST 5.5 00 00 C9

Figura 32. Antes de la ejecución de la instrucción RET

Después: Una vez ejecutada la instrucción, se observa que el PC contiene el valor 0003H que estaba almacenado en la memoria de pila, y que el registro SP apunta ahora a la posición 0000H tal y como se muestra en la figura 33.

Simulador de 8085 Archivo Ejecutar Instrucciones Memoria Puertos Dispositivos Opciones Utilidades Ayuda Registros de la CPU Memoria (Instrucciones) Dirección Nemotécnico Código Over 🔐 CALL 0005H CD 0001 05 Step D DE 0002 nn Bun tto SP 0004 NOP 00 nnna NOP 00 nnn7 BET C9 its de Estado Memoria (Datos) Memoria (Pila) 0008 NOP 00 Dirección Dato Direcc. Dato 0009 NOP 00 CD 000A NOP 00 000B NOP 00 Puerto E S 00 00 nn E/S Serie Interrupcione 00 00 0004 TRAP nn nn SID [00 00 0005 00 00 SODE BST 65 00 00 00 00 00 00 C9 C9

Figura 33. Después de la ejecución de la instrucción RET

Ejemplo 2 - 32

RST n (Rearrancar)

Determinación de los bytes de instrucción, ciclos de máquina y ejecución de la instrucción: RST 2



1. Determinación de los bytes de instrucción

Dada la instrucción RST que tiene un byte en su instrucción de salto, éste corresponderá al código de la operación establecido en la instrucción. Por lo tanto para obtener su código de operación:

$$NNN = 010 = 2$$



2. Determinación de los ciclos de máquina

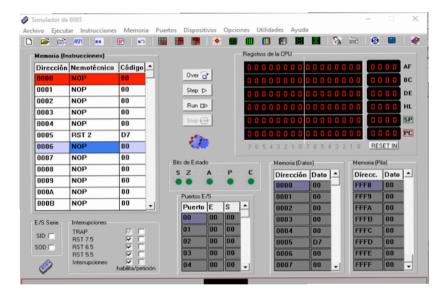
Considerando la lógica en la ejecución de la instrucción , sus ciclos de máquina serán:

a. Búsqueda de código de operación (Opcode fetch)

- b. Escritura de Memoria (Escritura en la Memoria de Pila)
- c. Escritura de Memoria (Escritura en la Memoria de Pila)
- 3. Ejecución de la instrucción

Antes: Como se puede observar en la figura 34, el código de operación de la instrucción es D7H ubicado en la posición de memoria 0005H.

Figura 34. Antes de la ejecución de la instrucción RST.



Después: Una vez ejecutada la instrucción, se puede observar que el PC almacena el dato 0010H. Esto sucede porque el número 2 de la instrucción se multiplica por 8 (su resultado es 16), y que el registro SP tiene el dato FFFEH, y en estas posiciones se almacena el dato 0006H que era la dirección que continuaba antes de realizar el re arrancamiento del microprocesador, tal como se muestra en la figura 35.

Simulador de 8085 × Archivo Ejecutar Instrucciones Memoria Puertos Dispositivos Opciones Utilidades Ayuda **•** Registros de la CPU Memoria (Instrucciones) Dirección Nemotécnico Código Over 💣 BC 0011 NOP nn Step ⊳ 0012 NOP nn Run 않⊳ н 0013 NOP 00 SP 0014 NOP nn NOP nn 0015 0016 NOP 00 NOP 00 Memoria (Datos) Memoria (Pila) 0018 NOP 00 Dirección Dato A Direcc. Dato 0019 NOP ពព NOP 001A 00 FFF9 00 001B NOP Puerto E s FFFA 00 FFFB 00 E/S Serie 00 00 TRAP 00 SID [RST 7.5 00 FFFD 00 SODE BST 6.5 RST 5.5 03 00 00

Figura 35. Después de la ejecución de la instrucción RST.

Grupo de pila, E/S y control máquina

El Grupo de pila, E/S y control de máquina contiene instrucciones tales como, introducir palabra de status del procesador, sacar palabra de status del procesador, guardar datos en pila, sacar datos de pila, intercambiar tope de pila, habilitar o deshabilitar interrupciones, no operación, detener procesador, leer de máscaras de interrupciones.

A continuación, en la Tabla 14, se detallan cada una de las instrucciones, correspondientes al grupo de pila, E/S y control máquina, del microprocesador 8085.

DESCRIPCIÓN	CÓDIGO DE OPERACIÓN	NEMOTÉCNICO	BYTES DE INSTRUCCIÓN	ESTADOS	CICLOS DE MÁQUINA
PUSH rp (Introducir)					
Inserte los Regs. B y C en la pila	C5	PUSH B	1	12	3
Inserte los Regs. D y E en la pila	D5	PUSH D	1	12	3
Inserte los Regs. H y L en la pila	E5	PUSH H	1	12	3

Tabla 14. Grupo de Instrucciones de pila, E/S y control, del microprocesador 8085

INTRODUCIR PALABRA DE ST	INTRODUCIR PALABRA DE STATUS DEL PROCESADOR						
Inserte el contenido del PSW en la pila	F5	PUSH PSW	1	12	3		
POP rp (Sacar)							
Recupere los Regs. B y C de la pila	C1	POP B	1	10	3		
Recupere los Regs. D y E de la pila	D1	POP D	1	10	3		
Recupere los Regs. H y L de la pila	E1	POP H	1	10	3		
SACAR PALABRA DE STATUS DEL PROCESADOR							
Recupere PSW de la pila	F1	POP PSW	1	16	3		
INTERCAMBIA TOPE DE LA PI	LA CON H y L						
Intercambie H y L con el tope de la pila	E3	XTHL	1	16	5		
TRANSFERIR HL a SP							
Mueva Regs. H y L al apuntador de la pila	F9	SPHL	1	6	1		
IN puerto (Entrar)							
Pase la señal del puerto port al Reg. A	DB	IN port	2	10	3		
OUT puerto (Salir)							
Pase el Reg. A al puerto port	D3	OUT port	2	10	3		
HABILITA INTERRUPCIONES							
Habilite las interrupciones	FB	El	1	4	1		

INHABILITA INTERRUPCIONI	ES					
Deshabilite las interrupciones	F3	DI	1	4	1	
HLT (Alto)						
Para la operación del microprocesador	76	HLT	1	6	1	
NOP (No operación)						
No opere (no funcione)	00	NOP	1	4	1	
LECTURA DE MÁSCARAS DE INTERRUPCIÓN (SOLAMENTE 8085)						
Leer mascarilla de interrupción	20	RIM	1	4	1	
PONE A 1 LAS MÁSCARAS DE LAS INTERRUPCIONES (SOLAMENTE 8085)						
Fijar mascarilla de interrupción	30	SIM	1	4	1	

A continuación se caracterizan cada una de las instrucciones correspondientes al grupo de pila, E/S y control máquina, correspondentes al microprocesador 8085.

PUSH rp, dato (Introducir)

Nemotécnico	PUSH B, dato
Simbología de funcionamiento	$((SP-1)) \leftarrow (rh)$ $((SP-2)) \leftarrow (rl)$ $(SP) \leftarrow (SP) - 2)$
Modo de direccionamiento	Indirecto de registro
Señalizadores afectados	Ninguno
Ciclos	3
Estados	12

Descripción del funcionamiento: Introduce el registro de orden superior, del registro par rp, en la posición de memoria indicada a través de (SP)-1, y el registro de orden inferior, en la posición de memoria indicada a través de (SP) -2. El registro SP es decrementado en 2 unidades, una vez cumplida la instrucción.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	1	R	Р	0	1	0	1	
---------------------	---	---	---	---	---	---	---	---	--

PUSH PSW

Nemotécnico	PUSH PSW
Simbología de funcionamiento	$((SP)-1) \leftarrow (A)$ $((SP)-2)_{_0}(CY), ((SP)-2)_{_1} \leftarrow X$ $((SP)-2)_{_2}(P), ((SP)-2)_{_3} \leftarrow X$ $((SP)-2)_{_4}(AC), ((SP)-2)_{_5} \leftarrow X$ $((SP)-2)_{_5}(Z), ((SP)-2)_{_7} \leftarrow (S)$ $(SP) \leftarrow (SP)-2 X: \text{ sin definir.}$
Modo de direccionamiento	Indirecto de registro
Señalizadores afectados	Ninguno
Ciclos	3
Estados	12

Descripción del funcionamiento: El dato contenido en el registro A es transferido a la dirección de memoria apuntada por (SP)-1, y los bits del registro de banderas o señalizadores, son transferidos como un dato de 8 bits en posiciones específicas, a la dirección de memoria apuntada por (SP)-2. Finalmente el registro SP es diminuído en 2 unidades.

Bytes de Instrucción:

POP rp, dato (Sacar)

Nemotécnico	PUSH PSW
Simbología de funcionamiento	$ (rl) \leftarrow ((SP)) $ $ (rh) \leftarrow ((SP+1)) $ $ (SP) \leftarrow (SP) + 2 $
Modo de direccionamiento	Indirecto de registro
Señalizadores afectados	Ninguno
Ciclos	3
Estados	10

Descripción del funcionamiento: El contenido de la posición de memoria indicada a través del registro SP, es transferido al registro de orden inferior del registro par rp y el contenido de la posición de memoria indicada a través del registro (SP+1), es transferido al registro de orden superior del registro par rp. Finalmente el registro SP, se incrementa en 2 unidades.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	1	R	Р	0	0	0	1	
---------------------	---	---	---	---	---	---	---	---	--

POP PSW

Nemotécnico	XTHL
Simbología de funcionamiento	$(CY) \leftarrow ((SP))_0$ $(P) \leftarrow ((SP))_2$ $(AC) \leftarrow ((SP))_4$ $(Z) \leftarrow ((SP))_6$ $(S) \leftarrow ((SP))_7$ $(A) \leftarrow ((SP)+1)$ $(SP) \leftarrow (SP)+2$
Modo de direccionamiento	Indirecto de registro
Señalizadores afectados	Z,S,P,CY,AC
Ciclos	3
Estados	10

Descripción del funcionamiento: Extrae de la posición de memoria apuntada por el registro SP, el dato para restaurar el registro del señalizador en un orden específico de bits. El acumulador es cargado por el dato proveniente de la posición de memoria apuntada por (SP+1). Finalmente el registro SP es incrementado en 2 unidades.

CÓDIGO DE OPERACIÓN 1 1 1 1 0 0 0 1

XTHL	(Intercambiar	tope	de la	pila	con	Ну	$^{\cdot}$ L))

Nemotécnico	XTHL
Simbología de funcionamiento	(L) ←> ((SP)) (H) ←> ((SP) + 1))
Modo de direccionamiento	Indirecto de reg.
Señalizadores afectados	Ninguno
Ciclos	5
Estados	16

Descripción del funcionamiento: Los datos del registro L son intercambiados con los datos de la posición memoria apuntada por el registro SP. Los datos del registro H se intercambian con los datos de la posición de memoria cuya dirección está dada por (SP + 1).

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	1	1	1	0	0	0	1	
---------------------	---	---	---	---	---	---	---	---	--

SPHL (Transferir HL a SP)

Nemotécnico	SPHL
Simbología de funcionamiento	(SP) ← (H)(L)
Modo de direccionamiento	Registro
Señalizadores afectados	Ninguno
Ciclos	1
Estados	6

Descripción del funcionamiento: los datos de los registro H y L se trasladan al registro SP.

CÓDIGO DE OPERACIÓN	1	1	1	1	1	0	0	1	
---------------------	---	---	---	---	---	---	---	---	--

IN puerto (Entrar)

Nemotécnico	IN puerto
Simbología de funcionamiento	$(A) \leftarrow (PUERTO)$
Modo de direccionamiento	Directo
Señalizadores afectados	Ninguno
Ciclos	3
Estados	10

Descripción del funcionamiento: El dato enviado por un periférico a través del bus de datos del sistema microprocesado, es ingresado hacia el Acumulador a través de una dirección específica de 8 bits (PUERTO), indicada por el microprocesador.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	1	0	1	1	0	1	1
---------------------	---	---	---	---	---	---	---	---

OUT puerto (Salir)

Nemotécnico	OUT puerto
Simbología de funcionamiento	(PUERTO) ← (A)
Modo de direccionamiento	Directo.
Señalizadores afectados	Ninguno
Ciclos	3
Estados	10

Descripción del funcionamiento: El dato contenido en el Acumulador es enviado hacia el bus de datos externo, con una dirección específica de 8 bits, establecida por el microprocesador.

CÓDIGO DE OPERACIÓN 1 1 0 1 0 0 1 1

EI (Habilita interrupciones)

Nemotécnico	EI
Simbología de funcionamiento	-
Modo de direccionamiento	-
Señalizadores afectados	Ninguno
Ciclos	1
Estados	4

Descripción del funcionamiento: Luego de ejecutarse esta instrucción, el sistema de interrupción del microprocesador es activado. Durante la ejecución de EI, las interrupciones no son reconocidas.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN	1	1	1	1	1	0	1	1	
---------------------	---	---	---	---	---	---	---	---	--

DI (Inhabilita interrupciones)

Nemotécnico	DI
Simbología de funcionamiento	-
Modo de direccionamiento	-
Señalizadores afectados	Ninguno
Ciclos	1
Estados	4

Descripción del funcionamiento: Luego de ejecutarse esta instrucción, el sistema de interrupción del microprocesador es desactivado. Durante la ejecución de DI, las interrupciones no son reconocidas.

CÓDIGO DE OPERACIÓN	1	1	1	1	0	0	1	1	
---------------------	---	---	---	---	---	---	---	---	--

HLT (Alto)

Nemotécnico	HTL
Simbología de funcionamiento	-
Modo de direccionamiento	-
Señalizadores afectados	Ninguno
Ciclos	1
Estados	5

Descripción del funcionamiento: Es una instrucción que permite detener el microprocesador, donde los registros y señalizadores no son alterados.

Bytes de Instrucción:

NOP (No operación)

Nemotécnico	NOP
Simbología de funcionamiento	Ninguna
Modo de direccionamiento	
Señalizadores afectados	Ninguno
Ciclos	1
Estados	4

Descripción del funcionamiento: Es una instrucción que se utiliza para establecer tiempos de espera en la programación y no cumple ninguna otra función específica. No afecta los señalizadores.

CÓDIGO DE OPERACIÓN	0	0	0	0	0	0	0	0	
---------------------	---	---	---	---	---	---	---	---	--

RIM

Nemotécnico	RIM
Simbología de funcionamiento	-
Modo de direccionamiento	-
Señalizadores afectados	Ninguno
Ciclos	1
Estados	4

Descripción del funcionamiento: Esta instrucción permite utilizar el registro A, para obtener una lectura relativa de las interrupciones, información de las máscaras de interrupción de hardware, estado de los señalizadores habilitados, así como también, recibir un bit de transmisión serial a través de la señal SID del microprocesador.

Bytes de Instrucción:

CÓDIGO DE OPERACIÓN 0 0 1 0 0 0 0	0
---	---

SIM

Nemotécnico	SIM
Simbología de funcionamiento	Ninguna
Modo de direccionamiento	-
Señalizadores afectados	Ninguno
Ciclos	1
Estados	4

Descripción del funcionamiento: Esta instrucción permite utilizar el registro A, para programar mascaras de interrupción para interrupción hardware, así como también, enviar un bit de transmisión serial a través de la señal SOD del microprocesador.

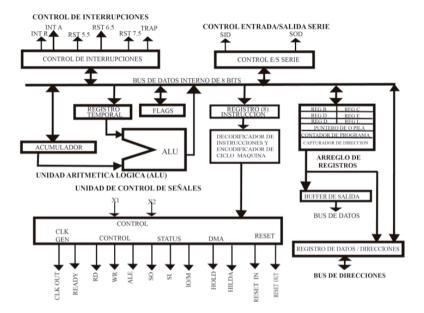
Preguntas de reflexión



Considerando la siguiente arquitectura del microprocesador 8085, dar respuesta a las interrogantes indicadas:

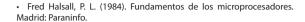
1. Comparando el diagrama indicado en la Figura No. 36, con el diagrama de la Figura No. 6, ¿Qué errores existen en el diagrama de la Figura No. 36?

Figura 36. Arquitectura interna de un microprocesador



- 2. ¿Qué función cumplen el bus de datos, el registro de instrucción, el decodificador de instrucción y encodificador de ciclo de máquina?
- 3. ¿Qué relación existe entre el registro de salida y el registro de datos /direcciones?
- 4. ¿Qué registros internos del microprocesdor 8085, no pueden ser manipulados directamente por el programador?

Bibliografía y Fuentes Electrónicas





- SANTAMARIA, E. (1993). Electrónica digital y Microprocesadores.
 Universidad Pontífica de Comillas. Madrid
- TOCCI, R. J. (1996). Introduccion al microprocesador y a la microcomputadora. Mexico: McGraw-Hill.
- Tokheim, R. L. (1998). Fundamentos de los microprocesadores. Mexico: McGraw-Hill.
- Mandado, E., & Mandado, Y. (2008). SISTEMASELECTRONICOS DIGITALES, ESPAÑA: MARCOMBO S.A.

Ejercicios Propuestos

- 1. ¿Cómo se lo denomina al microprocesador 8085?
- 2. ¿Cuáles componentes internos son indispensables en un microprocesador?
 - Registros Unidad de control de señales
 - Unidad Aritmética Lógica -Control de entrada salida/serie
 - Control de instrucciones
- 3. ¿Qué registro del microprocesador 8085 indica la dirección de la próxima instrucción a ejecutarse?
- 4. ¿Cuál de las siguientes interrupciones del microprocesador 8085 es no enmascarable?

- 5. ¿A cuál de las siguientes direcciones salta el PC del microprocesador 8085, cuando se activa la interrupción RST 7.5?
 - 0024H 0034H - 002CH - 003CH
- 6. ¿Cuáles registros intervienen cuando se ejecuta la instrucción: SBB C, del microprocesador 8085?
 - 7. ¿Cuál sería el resultado del registro de banderas, después de

ejecutar la instrucción ANI F3H, considerando que el Acumulador tiene un valor inicial de 02H?

- 8. ¿Qué registro sirve para inicializar la pila, en un microprocesador 8085?
- 9. ¿Qué instrucción del microprocesador 8085, permite colocar máscaras a las interrupciones?

Glosario

AD: Bus de direcciones/datos o bus multiplexado, hace referencia a los pines del microprocedor 8085, que pueden ser tanto de datos como direcciones y para identificar qué tipo de señal se está transmitiendo se suele usar el LATCH 74374 o el 8212.

ALU: Unidad Aritmética y Lógica, está unidad se encuentra integrada al microprocesador 8085 y sirve para realizar procesos aritméticos y lógicos con los registros.

Ancho de palabra: Este término hace referencia a que los bits del bus de datos equivalen al mismo número de bits que determinan el ancho de palabra. Un circuito integrado con un bus de datos de 16 bits equivale a un ancho de palabra de 16 bits.

Bus de datos: Es el que se encarga de transmitir información entre los componentes de un sistema microprocesado.

Bus de direcciones: Es el que se encarga de comunicar la ubicación exacta de cada dispositivo además de direcciones específicas de periféricos o información que necesiten conocer los componentes de un sistema.

Capacidad de memoria direccionable (CMD): Se la representa como una unidad de medida que tiene un microprocesador para albergar un número máximo de posiciones direccionables por el computador, estas pueden presentarse en kilobytes (KB), megabytes (MB) o gigabytes (GB).

CS: Chip Select, es una señal de control presente en el decodificador que se utiliza para seleccionar un chip de memoria que el microprocesador necesite. La forma de selección dependerá del estado que tengan las salidas del decodificador pues normalmente se activan con un 0 lógico y se desactivan con un 1 lógico. Normalmente los chips que se

activan del otro extremo del decodificador suelen tener la señal CE.

CE: Chip Enable, es una señal para habilitar el chip. Generalmente se activa en bajo (0 lógico) y suele estar representado de la siguiente manera: **CS**, CS', \overline{CS} , pero cuando se activan en alto (1 lógico) se suele representar así: CS

Decodificador: Es un chip que puede seleccionar un espacio de memoria de acuerdo a la señal en alto (1) o bajo (0) que reciba. Para fines prácticos suele emplearse el 74138 cuyas salidas se activan en bajo (0).

DMA: Direct Memory Access, cuya traducción es Acceso directo a memoria, permite que determinados componentes de un sistema electrónico accedan a la memoria principal y realicen transacciones de datos como mover un bloque de memoria. Esto sin necesidad de usar el microprocesador principal, pero de lo que si necesita es de los buses de datos y de direcciones.

Ensamblador: assembler, es un término usado para hacer referencia a un lenguaje de bajo nivel que ocupa poco espacio en memoria y cuya función principal es que permite el uso de nemotécnicos que comprende fácilmente el microprocesador, por ende este tipo de código se procesa más rápido.

Fetch: Es el tiempo que demora el microprocesador en ejecutar una instrucción.

GND/ Vss: Es el identificativo que indica el pin que debe ir conectado a tierra.

Instrucciones: Son palabras que se utilizan como comandos de lenguaje máquina para comunicarse con el microprocesador.

Memoria de datos: Hace referencia a algún tipo de memoria RAM en la que se puedan almacenar temporalmente información.

Memoria programable: Hace referencia a algún tipo de memoria ROM en la que se puedan almacenar permanentemente información.

Nemotécnicos: Son palabras especiales o abreviaturas que representan instrucciones que el microprocesador puede comprender, como por ejemplo: MOV, XOR, SPHL, DCR, etc.

OE: Output Enable, es una señal que se encuentra de lado de los chips de memoria y es la que habilita que datos pueden ser transmitidos o leídos. Cuando se habilita en bajo (0) suele estar representada como \mathbf{OE} , \overline{OE} .

121

P: Es el identificativo que indica el pin por el cual se programará el chip. Esta señal generalmente se encuentra en las memorias que son programables como las EPROM o EEPROM. Cuando se habilita en bajo (0) suele estar representada como ${\bf P}$, P', ${\bar P}$

RD: Read, es una señal que se encuentra del lado del microprocesador y es la que indica que dato debe ser leído. Cuando se habilita en bajo (0) suele estar representada como **RD**, RD', \overline{RD}

MPU: Unidad de Procesos múltiple, es un chip que puede hacer varias tareas en un mismo sistema.

Sistema microprocesado: Es la integración de varios componentes individuales con funciones limitadas, que integrados pueden funcionar como un solo sistema de mayores capacidades. Esto dependerá de la cantidad de memoria direccionable y de los pines que tenga disponible el microprocesador para conectarse con otros chips.

Vcc/VDD: Es el identificativo que indica el pin al que se debe conectar una fuente de voltaje para alimentar al microprocesador o los chips.

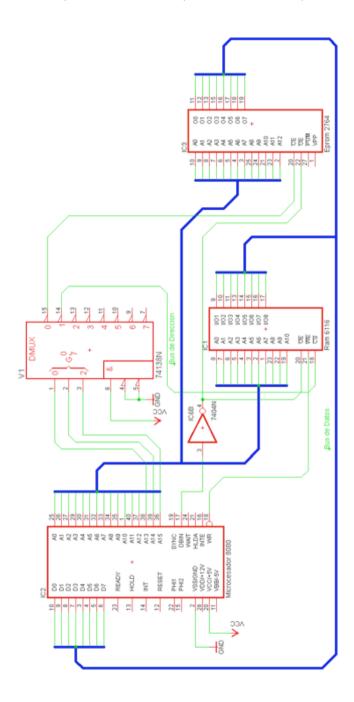
WE: Write Enable, es una señal que se encuentra en los chips de memoria que permite habilitar la escritura cuando un microprocesador quiere pasar información. Cuando se habilita en bajo (0) suele estar representada como \mathbf{WE} , \overline{WE}

WR: Write, es una señal de salida que indica que el microprocesador está esperando datos o direcciones. Cuando se habilita en bajo (0) suele estar representada como **WR**, WR', \overline{WR}

Anexos

Anexo A: Respuestas de los ejercicios propuestos Capítulo I

- 1. El chip que actúa como LATCH o cerrojo es el 74412
- 3. Para elaborar un sistema microprocesado con esas características, se requiere de: 3 chips de memoria SRAM 6116, 1 chip de EPROM 27256, un decodificador 74138 para que seleccione los chips de memoria sobre los que quiere actuar el microprocesador y el LATCH 74374 para separar las direcciones de los datos que se transmiten a través del bus multiplexado ADO hasta AD7, del microprocesador.
- 5. La conexión del sistema microprocesado quedaría de la siguiente manera:



Anexos 125

Capítulo II

- 1. Microprocesador de 8 bits
- 2. Registros, Unidad Aritmética Lógica y Control de instrucciones
- 3. PROGRAM COUNTER (PC)
- 4. TRAP
- 5. 003CH
- 6. Intervienen los Regitros: A , C y PSW

S	Z	AC	Р	CY
0	0	1	0	0

7.

- 8. El puntero de pila o también conocido como stack pointer
- 9. La instrucción SIM

Apéndices

APÉNDICE A

Circuito Integrado 74374

Conocido también como LATCH, es un chip de salidas tri-estado de 8 latches tipo D, que permite transmitir datos y direcciones entre el microprocesador 8085 y otros dispositivos.

Actúa sobre las señales de dirección/datos más bajas (Desde ADO hasta AD7) del microprocesador 8085, ya que ayuda a diferenciar, si lo que desea transmitir a un dispositivo en particular son direcciones o datos. Para ello utiliza la señal de control **OE** que se activa en nivel bajo.

Cuando la señal **OE** del 74374 está en nivel bajo, permite pasar direcciones a los demás dispositivos conectados al microprocesador 8085, pero cuando el pin 1 (**OE**) se pone en nivel alto, las terminales de salida (Desde A1 hasta A8) están como desconectadas o en estado de alta impedancia, por ende ya no se da paso a las direcciones sino a los datos.

Tabla 15. Diagrama de pines del circuitointegrado74374

Circuito integrado 74374						
	74374					
	3_ D1	A1 2				
	<u>- 4</u> D2	A2 s				
		A36				
	<u>■ 8</u> D4	A4 9				
	<u>■ 13</u> D5	A5 12				
	14_ D6	A6 15				
	<u>■ 17</u> D7	A7 16				
	<u>■ 18</u> D8	A8 19_				
	1OE					
	11 CLK					

Pines	Descripción
Desde D1 hasta D8	Bus de datos
Dsdee A1 hasta A8	Bus de direcciones
OE	Señal que se activa en nivel bajo que controla las salidas de A1 hasta A8
CLK	Señales de reloj

La señal de reloj CLK se habilita a nivel alto y servirá para cargar los latches del 74374 mediante flancos ascendentes, como se observa en la siguiente tabla de verdad:

Tabla 16. Tabla de verdad del circuito integrado 74374

INPUT			OUTPUT
OE	OE CLK D		Q
Н	X	Х	Z
L	L	Х	No hay cambios
L		L	L
L		Н	Н

APÉNDICE B

Circuito Integrado 74138

Los dispositivos que se conectan al microprocesador deben poder dejar en estado de alta impedancia los hilos de conexión que se conectan a los buses de datos o de direcciones. De esta forma se pueden conectar varios dispositivos a los mismos hilos de conexión sin que se produzcan interferencias, pues el decodificador permitirá que solo el dispositivo "seleccionado" se active mientras los demás se queden en alta impedancia. Esto quiere decir que el dispositivo que se conecte al microprocesador deberá contar con un terminal que permita "habilitarlo".

Generalmente las terminales de dirección superiores (A15,A14,A13) son las que se conectan con el decodificador, el mismo que seleccionará con una de sus salidas (O0,O1,O2...) al dispositivo deseado.

Para fines demostrativos se utilizará el decodificador 74138 pero cabe mencionar que se pueden emplear otros chips que tengan la misma función.

A continuación se describen las señales del decoficador 74138:

Tabla 17. Diagrama de pines del decodificador 74138

	Decodificador 74138				
	74374				
	_3 D1 A1 2				
	4 D2 A25_				
	D3				
	8 D4 A4 9				
	13 D5 A5 12				
	14 D6 A6 15				
	17 D7 A7 16 16 16 16 16 16 16 16 16 16 16 16 16				
	18 D8 A8 19				
	OE				
Pines	Descripción				
Desde A0 hasta A2	Señales de entrada en código binario				
Desde O0 hasta O7	Señales de salida que se activan en bajo				
E1 y E2	Señales de habilitación que se activan en bajo				
E3	Señales de habilitación activas en alto				
Vcc	Terminal de alimentación (+5V)				
GND	Terminal de masa o tierra				

La forma en que funciona el decodificador 74138 se puede comprender mejor en la siguiente tabla de verdad:

Tabla 18. Tabla de verdad del Decodififcador 74138

A2	A1	A0	00	01	02	03	04	05	06	07
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Esto indica que para las combinaciones de cualquier código producido por alguna de las entradas (A2, A1, A0) solo se activará un dispositivo usando una o más de las posibles ocho salidas.

Como ya se mencionó anteriormente el microprocesador selecciona dispositivos (RAM, ROM, dispositivos de E/S) habilitándolos mediante las salidas del decodificador que están en nivel bajo, pero si la señal CE(Chip Enable) de alguno de los dispositivos se activa en alto es necesario que se utilicen compuertas NAND o inversores entre sus terminales y las del decodificador.

APÉNDICE C

Tabla C 1. Abreviaturas utilizadas con las descripciones de Intel Corporation

SÍMBOLOS	SIGNIFICADO		
Acumulador	Registro A		
addr	Dirección de 16 bits		
dato	Cantidad de 8 bits		
16 datos	Datos de 16 bits		
Byte 2	El segundo byte de la instrucción		
Byte 3	El tercer byte de la instrucción		
Puerto	Dirección de 8 bits de un dispositivo	de E/S	
r, r1, r2	Uno de los registros A,B,C,D,E,H,L		
DDD.SSS	El patrón de bits designa uno de los registros A,B,C,D,E,H,L (DDD=destino, SSS=fuente):		
	DDD o SSS	Registro nombre A	
	000	В	
	001	C	
	010	D	
	011	E	
		Н	
	101	L	
rp	Uno de los registros pares: B representa el par B, C siendo B el registro de orden superior y C el orden inferior. D representa el par D, E siendo D el registro de orden superior y E el de orden inferior: SP representa el registro puntero de pila de 16 bits.		
RP	El patrón de bits designa uno de los registros pares B,D,H,SP:		
	RP	REGISTRO	
		PAR	
	00	B-C	
	01	D-E	
	10	H-L	
	11	SP	
rh	El primer registro (orden superior) de	un registro par designado.	

rl	El segundo registro (orden inferior) de un registro par designado.
PC	El contador de programa de 16 bits (PCH y SPL, son utilizados para referenciar los 8 bits de orden superior e inferior respectivamente).
rm	Bit m del registro r (los bits están numerados de 7 a 0 de izquierda a derecha).

ETIQUETA	Dirección de 16 bits de subrutina. Los señalizadores de condición:
Z	Cero
S	Signo
Р	Paridad
CY	Arrastre
AC	Arrastre auxiliar
()	Contenido de la posición de memoria o registro encerrado en los paréntesis.
←	< <es a="" transferido="">></es>
۸	AND lógico
	OR exclusiva
v	OR inclusiva
+	Suma
-	Resta en complemento a dos
*	Multiplicación
\leftrightarrow	< <se con="" intercambia="">></se>
_	El complemento a uno (Ā)
n	Número de 0 a 7
NNN	Representación binaria de 000 a 111 para los números. 0 a 7 respectivamente.

Bibliografía

- Brey, Barry (2006). Los microprocesadores Intel 8086/8088, 80186, 80286, 80386, 80486, procesador Pentium Pro, Pentium II, Pentium III y Pentium 4: Arquitectura, Programación e interfaces (7 ed.). México: Pearson Educación.
- Benítez, C. (2010). El microprocesador 8085. Microprocesadores, 17. Obtenido de http://issuu.com/microprocesadores/docs/8085__1_
- Electronic Components Datasheet Search. (2015). ALLDATASHEET. COM. Obtenido de http://www.alldatasheet.com/
- Fred Halsall, P. L. (1984). Fundamentos de los microprocesadores. Madrid: Paraninfo.
- Guarneros, J. (octubre de 2013). Ciclos de máquina. Obtenido de blogciclos: http://javierguarneros.blogspot.com/2010/04/ciclos-maquina.html
- Mandado, E., & Mandado, Y. (2008). SISTEMASELECTRONICOS DIGITALES. ESPAÑA: MARCOMBO S.A.
- Massachusetts Institute of Technology. (2015). Datasheet_6116. Obtenido de web.mit.edu/6.115/www/document/6116.pdf
- Novillo, J.P.; D.L. Hernández (2016). Fundamentos de los Sistemas Microprocesados; ed. Universidad Técnica de Machala. Tomo I
- Patterson, David y Hennessy, John (2011). Estructura y diseño de computadores- La Interfaz Hardware / Software (4 ed.). Barcelona: Reverté, S.A.
- Prieto, Alberto; Lloris, Antonio y Torres, Juan (2002). Introducción a la Informática (3 ed.). Madrid: McGraw-Hill.
- SANTAMARIA, E. (1993). Electrónica digital y Microprocesadores. Universidad Pontífica de Comillas. Madrid

- TOCCI, R. J. (1996). Introduccion al microprocesador y a la microcomputadora. Mexico: McGraw-Hill.
- Tocci, Ronald; Widner, Neal y Moss, Gregory (2007). Sistemas Digitales, Principios y Aplicaciones (10 ed.). México: Pearson Educación
- Tokheim, Roger (1988). Fundamentos de los microprocesadores (2 ed.). México: McGraw-Hill.
- Z Series Innovations. (2015). Obtenido de Timing Diagrams of 8085: http://www.zseries.in/embedded%20lab/8085%20 microprocessor/timing%20diagram.php#.VpLzrfl95D9

Índices de cuadros y gráficas

Índice de cuadros

Número	Título del cuadro	Página
1	Capacidad de memoria direccionable por el número de pines de dirección	20
2	Diagrama de pines de la memoria EPROM 27256	22
3	Diagrama de pines de la memoria SRAM 6116	26
4	Interrupciones hardware del 8085	43
5	Descripción de pines del microprocesador 8085	45
6	Ciclos de máquina del microprocesador 8085	47
7	Operación búsqueda de código de operación (opcode fetch)	49
8	Operación de ciclo lectura de memoria	50
9	Operación de ciclo escritura de memoria	50
10	Grupo de Instrucciones de transferencia de datos del microprocesador 8085	54
11	Grupo de Instrucciones aritméticas del microprocesador 8085	65
12	Grupo de Instrucciones lógicas del microprocesador 8085	78
13	Grupo de Instrucciones de bifurcación del microprocesador 8085	91
14	Grupo de Instrucciones de pila, E/S y control, del microprocesador 8085	106
15	Diagrama de pines del circuito integrado 74374	127
16	Tabla de verdad del circuito integrado 74374	128
17	Diagrama de pines del decodificador 74138	129
18	Tabla de verdad del Decodififcador 74138	129

Índice de gráficas

Número	Título de la gráfica	Página
1	Terminales de un chip de memoria RAM	20
2	Esquema de conexión de la memoria EPROM 27256 con el microprocesador 8085	
3	Esquema de conexión de la memoria SRAM 6116 con el microprocesador 8085	28
4	Esquema de conexión del microprocesador 8085 con memoria EPROM 27256 y memoria SRAM 6116	
5	Conexión de la memoria 6116 con el microprocesador 8085 utilizando un LATCH	33
6	Arquitectura interna del Microprocesador 8085	37
7	Registros de propósito general	38
8	Contador de programa	38
9	Puntero de pila	38
10	Cerrojo de dirección del micro 8085	39
11	Acumulador del 8085	39
12	Registro temporal del 8085	39
13	Señalizadores de estado del acumulador del 8085	40
14	Señalizadores del registro de status del 8085	40
15	Unidad aritmética lógica del 8085	41
16	Registro de instrucción del 8085	41
17	Decodificador de instrucciones del 8085	42
18	Temporización y control del 8085	42
19	Instrucción RIM del 8085 para entrada serie	43
20	Instrucción SIM del 8085 para salida serie	44
21	Diagrama de Temporización	46
22	Ciclo de Máquina	47
23	Fases de un ciclo de instrucción	48
24	Instrucción ADD C, modo de direccionamiento de registro	51
25	Instrucción ADI 08H, modo de direccionamiento inmediato	52
26	La Instrucción LDA 0200H, modo de direccionamiento directo.	52
27	Instrucción de suma indirecta de registro	53
28	Antes de la ejecución de la instrucción JMP 0013H.	99
29	Después de la ejecución de la instrucción JMP 0013H	100
30	Antes de la ejecución de la instrucción CALL 0005H.	101
31	Después de la ejecución de la instrucción CALL 0005H.	102
32	Antes de la ejecución de la instrucción RET	103
33	Después de la ejecución de la instrucción RET	104
34	Antes de la ejecución de la instrucción RST.	105
35	Después de la ejecución de la instrucción RST.	106
36	Arquitectura interna de un microprocesador	116

Biografia

Johnny Novillo Vicuña

Ecuatoriano, Ingeniero Eléctrico por la Universidad de Cuenca y Magister en Educación Superior por la Universidad Tecnológica San Antonio de Machala y de Ciego de Ávila - Cuba. Actualmente es Docente titular e investigador de la Universidad Técnica de Machala y Gerente de SYSE Cía. Ltda., dedicada a la construcción y consultoría de obras eléctricas para empresas públicas y privadas.

Dixys Leonardo Hernández Rojas.

Cubano-Español, Ingeniero Electrónico y Master en Electrónica por la Universidad Central Marta Abreu de Las Villas de Santa Clara – Cuba. Actualmente es Docente titular e Investigador de la Universidad Técnica de Machala, donde dirige el Dominio 8 de investigación y el grupo científico de Internet de las Cosas. Es candidato a PhD por la Universidad de la Coruña – España.

Fundamentos de los Sistemas Microprocesados II
Se terminó de imprimir en marzo de 2016 en la
imprenta de la UTMACH, calle Loja y 25 de Junio
(campus Machala)
Esta edición consta de 300 ejemplares.

www.utmachala.edu.ec

El programa de Reingeniería del Conocimiento en la Universidad Técnica de Machala (UTMACH) es un modelo emergente de gestión de la investigación que promueve saberes científicos con pertinencia social. Desde el Vicerrectorado Académico impulsamos la investigación colectivista, donde docentes y estudiantes se engranan en la construcción y divulgación del resultado de sus ejercicios pedagógicos, heurísticos y de vinculación social, en aras de contribuir con el fortalecimiento de nuestras ventajas comparativas y competitivas a nivel transfronterizo.

Mediante este programa estratégico la UTMACH impacta sus imaginarios respecto a la relación de la docencia con la investigación, muestra de ello es la presente obra donde se cristaliza el empoderamiento y profesionalismo de sus actores y redes al servicio de la formación crítica de profesionales de avanzada.

En la UTMACH seguimos conquistando el conocimiento a través de la investigación, por ello en cada acción emprendida *proyectamos nuestra historia*.

Ing. Amarilis Borja Herrera, Mg. Sc. *VICERRECTORA ACADÉMICA*





